

## KOREAN PATENT ABSTRACT (KR)

### PUBLICATION

(51) Int. Cl.: G11C 11/34

(11) Publication No.: 10-1998-0071162

(43) Publication Date: 26 October 1998

(21) Application No.: 10-1998-0003559

(22) Application Date: 7 February 1998

(30) Priority Number(s): JP 1997-024210 (7 February 1997)

JP 1997-044984 (28 February 1997)

JP 1997-058653 (13 March 1997)

(71) Applicant

Fujitsu Limited (Kawasaki, JP)

(72) Inventor(s):

Kawashima, Shoichiro (Kawasaki, JP)

Mori, Toshihiko (Kawasaki, JP)

Hamaminato, Makoto (Kawasaki, JP)

(54) Title of the Invention:

Semiconductor Memory Device and a Semiconductor Integrated Circuit

#### Abstract:

A semiconductor memory device which can reduce a power consumption by reducing a charging and discharging current for a gate capacity of a transistor used for pulling up a bit line which constitutes a write recovery circuit. A pair of first and second bit lines are connected to a memory cell. A potential of one of the first and second bit lines is decreased during a write cycle in accordance with write data. A first loading element is connected between a power source line and the first bit line. The power source line supplies a positive power source voltage. A second loading element is connected between the power source line and the second bit line. A first transistor is provided for pulling up the first bit line. The first transistor has a current input terminal connected to the power source line and a current output terminal connected to the first bit line. A second transistor is provided for pulling up the second bit line. The second transistor has a current input terminal connected to the power source line and a current output terminal connected to the second bit line. A transistor drive circuit drives, during a write recovery period, one of the first transistor and the second transistor which is connected to one of the first bit line and the second bit line which is set to a lower potential.

AL

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
G11C 11/34

(11) 공개번호 특1998-071162  
(43) 공개일자 1998년10월26일

(21) 출원번호	특1998-003559
(22) 출원일자	1998년02월07일
(30) 우선권주장	24210 1997년02월07일 일본(JP) 44984 1997년02월28일 일본(JP) 58653 1997년03월13일 일본(JP)
(71) 출원인	후지쓰가부시키가이샤 세이지와다다시 일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1-1
(72) 발명자	가와시마소이찌로 일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1-1 후지쓰가부시 끼가이샤 내 모리도시히코 일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1-1 후지쓰가부시 끼가이샤 내 하마미나토마코토 일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1-1 후지쓰가부시 끼가이샤 내
(74) 대리인	문가상, 조기호

심사청구 : 있음

(54) 반도체 메모리 장치 및 반도체 집적 회로

요약

본 발명은 기입 회복 회로를 구성하는 비트선을 풀-업하는데 사용되는 게이트 커패시터에 대한 충전·방전 회로를 감소시킴으로써 전력 소비를 감소시킬 수 있는 반도체 메모리 장치에 관한 것이다. 제 1 및 제 2 비트선(BL, /BL) 쌍을 메모리 셀에 접속한다. 제 1 및 제 2 비트선의 하나의 전위는 기입 데이터에 따라 기입 사이클중 감소한다. 제 1 부하 소자(2)는 전원선(4) 및 제 1 비트선(BL)간에 접속된다. 전원선(4)은 양의 전위 전압을 공급한다. 제 2 부하 소자(3)는 전원선 및 제 2 비트선(/BL)간에 접속된다. 제 1 비트선(BL)을 풀-업하기 위해 제 1 트랜지스터(7)를 구비한다. 제 1 트랜지스터(7)의 전류 입력 단자는 전원선에 접속되고, 전류 출력 단자는 제 1 비트선(BL)에 접속된다. 제 2 비트선(/BL)을 풀-업하기 위해 제 2 트랜지스터(8)를 구비한다. 제 2 트랜지스터(8)의 전류 입력 단자는 전원선(4)에 접속되고, 전류 출력 단자는 제 2 비트선(/BL)에 접속된다. 기입 회복 주기중 트랜지스터 구동 회로(16)는 저전압으로 설정된 상기 제 1 비트선(BL) 및 상기 제 2 비트선(/BL)중의 하나에 접속된 상기 제 1 트랜지스터(7) 및 상기 제 2 트랜지스터(8)중의 하나를 구동하는 것을 특징으로 하는 반도체 메모리 장치.

도면

도 4

명세서

도면의 간단한 설명

- 도 1은 종래의 스택틱 랜덤 액세스 메모리의 부분 회로도.
- 도 2는 도 1에 나타낸 기입 회복 회로의 동작을 설명하기 위한 파형도.
- 도 3은 종래의 반도체 집적 회로의 부분 회로도.
- 도 4는 본 발명의 제1 실시예에 의한 스택틱 램의 부분 회로도.
- 도 5는 본 발명의 제2 실시예에 의한 스택틱 램의 부분 회로도.
- 도 6은 본 발명의 제3 실시예에 의한 스택틱 램의 부분 블록도.
- 도 7은 도 6에 나타낸 입력 버퍼의 회로도.
- 도 8은 도 6에 나타낸 입력 버퍼의 동작을 설명하기 위한 파형도.

- 도 9는 본 발명의 제4 실시예에 의한 반도체 집적 회로의 블록도.  
 도 10은 본 발명의 제5 실시예에 의한 반도체 집적 회로의 부분 회로도.  
 도 11은 본 발명의 제6 실시예에 의한 반도체 집적 회로의 부분 회로도.  
 도 12는 본 발명의 제7 실시예에 의한 반도체 집적 회로의 부분 블록도.  
 도 13은 도 12에 나타낸 센스 증폭기의 회로도.  
 도 14는 충전 트랜스퍼 증폭기의 회로도.  
 도 15a 및 도 15b는 도 14에 나타낸 충전 트랜스퍼 증폭기와 센스 증폭기의 동작을 나타내는 파형도.  
 도 16은 도 12에 나타낸 디코더와 래치 회로의 회로도.  
 도 17은 본 발명의 제7 실시예에 사용될 수 있는 수산기의 회로도.  
 도 18은 본 발명의 제8 실시예에 의한 반도체 집적 회로의 부분 블록도.  
 도 19는 도 18에 나타낸 가변 지연 회로에의 회로도.  
 도 20은 도 18에 나타낸 가변 지연 회로의 다른 예의 회로도.  
 도 21은 도 18에 나타낸 회로의 동작을 설명하기 위한 파형도.  
 도 22는 본 발명의 제9 실시예에 의한 반도체 집적 회로의 부분 회로도.  
 도 23은 도 22에 나타낸 반도체 집적 회로의 동작을 설명하기 위한 파형도.  
 도 24는 본 발명의 제10 실시예에 의한 반도체 집적 회로의 부분 회로도.  
 도 25는 도 24에 나타낸 반도체 집적 회로의 동작을 설명하기 위한 파형도.  
 도 26은 본 발명의 제11 실시예에 의한 반도체 집적 회로의 부분 회로도.  
 도 27은 도 26에 나타낸 반도체 집적 회로의 동작을 설명하기 위한 파형도.  
 도 28은 본 발명의 제12 실시예에 의한 반도체 집적 회로의 부분 회로도.  
 도 29는 도 28에 나타낸 반도체 집적 회로의 동작을 설명하기 위한 파형도.  
 도 30은 본 발명의 제13 실시예에 의한 반도체 집적 회로의 부분 회로도.  
 도 31은 도 30에 나타낸 반도체 집적 회로의 동작을 설명하기 위한 파형도.  
 도 32는 본 발명의 제14 실시예에 의한 반도체 집적 회로의 부분 회로도.  
 도 33은 도 32에 나타낸 반도체 집적 회로의 동작을 설명하기 위한 파형도.  
 도 34는 본 발명의 제15 실시예에 의한 반도체 집적 회로의 부분 블록도.  
 도 35는 도 34에 나타낸 가변 지연 회로와 고정 지연 회로의 회로도.  
 도 36은 도 35에 나타낸 가변 지연 인버터의 회로도.  
 도 37은 도 35에 나타낸 인버터의 회로도.  
 도 38은 도 34에 나타낸 가변 지연 회로와 고정 지연 회로의 회로도.  
 도 39는 도 34에 나타낸 가변 지연 회로와 고정 지연 회로의 회로도.  
 도 40은 도 34에 나타낸 가변 지연 회로와 고정 지연 회로의 회로도.  
 도 41은 도 34에 나타낸 가변 지연 회로와 고정 지연 회로의 회로도.  
 도 42a는 도 34에 나타낸 제1 고정 지연 회로의 회로도; 도 42b는 도 34에 나타낸 제2 고정 지연 회로의 회로도; 도 42c는 도 34에 나타낸 제3 고정 지연 회로의 회로도; 도 42d는 도 34에 나타낸 제4 고정 지연 회로의 회로도.  
 도 43은 도 34에 나타낸 스타터 회로의 회로도.  
 도 44는 도 34에 나타낸 위상 비교 및 충전 펌프 회로와 지연 시간 제어 전압 생성 및 평활 회로의 회로도.  
 도 45 내지 도 52는 도 34에 나타낸 위상 비교 및 충전 펌프 회로의 동작 파형도.

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치 및 반도체 집적 회로에 관한 것으로서, 보다 상세하게는 외부 장치로부터 제공되는 기입 데이터를 상보 데이터로 변환하는 반도체 메모리 장치와, 전송에 앞서 리셋되는 복수의 데이터 라인을 갖는 반도체 집적 회로와, 주클럭 신호에 관해 소정 위상차를 갖는 클럭 신호를 제공하는 반

도체 집적 회로에 관한 것이다.

반도체 메모리 장치를 이용하는 휴대용 장치의 배터리 수명을 연장시키기 위해, 저소비 전력의 반도체 메모리 장치에 대한 요구가 증가되고 있다. 또한, 회로의 크기가 증가함에 따라 플라스틱 패키지의 허용 범위내의 열량을 유지하기 위해서도 이러한 요구가 증가되고 있다.

반도체 메모리 장치에서 데이터 버스를 통하여 데이터가 전송될 때, 반도체 기억 소자에서 데이터 버스에 전하가 공급되기도 하고 또 상기 데이터 버스에서 전하가 소멸되기도 한다. 전하량은 전압 전폭×데이터 버스의 용량×스위칭 동작의회수×데이터 버스의 수에 의해 산출된다.

최근의 반도체 집적 회로에서, 데이터 버스의 폭은 32비트 또는 64비트로 증가하였고, 신호 주파수는 100 MHz 정도로 높게 증가하였다. 또한, 데이터 버스는 큰 용량을 가지므로, 반도체 집적 회로에서 데이터의 전송에 큰 전력이 소모된다. 따라서, 데이터 버스의 전력 소모를 줄이는 문제가 중요하다.

도 1은 정태 스택 랜덤 액세스 메모리(Static Random Access Memory; 이하 스택 램)의 부분 회로도이다. 도 1에서, 참조 부호 1은 메모리 셀을 나타내고, 1A와 1B는 데이터 입력/출력 노드를, BL 및 /BL은 비트선을 나타낸다.

참조 부호 2는 7-μm 게이트 폭을 갖는 pMOS 트랜지스터를 나타낸다. pMOS 트랜지스터(2)는 비트선(BL)의 부하 소자(loading element)에 상응한다. pMOS 트랜지스터(2)의 소스는 전원 전압(VCC)을 공급하는 VCC 전원선(4)에 접속된다. pMOS 트랜지스터(2)의 드레인은 비트선(BL)에 접속된다.

참조 부호 3은 pMOS 트랜지스터(2)와 같은 게이트 폭을 갖는 pMOS 트랜지스터를 나타낸다. pMOS 트랜지스터(3)는 비트선(BL)의 부하 소자에 상응한다. pMOS 트랜지스터(3)의 소스는 VCC 전원선(4)에 접속된다. pMOS 트랜지스터(3)의 드레인은 비트선(BL)에 접속된다.

참조 부호 5는 기입 회복 회로를 나타내고, 6은 기입 회복 동작을 제어하는 기입 회복 신호(WR)를 변환하는 인버터를 나타낸다. 기입 회복 신호(WR)는 기입 회복 주기 동안에는 높은 로직 레벨(H-level)에 있고, 기입 회복 주기 외의 기간에는 낮은 로직 레벨(L-level)에 있다.

참조 부호 7은, 비트선(BL)을 풀-업(pull-up)하기 위해 제공되는 pMOS 트랜지스터를 나타낸다. 18-μm의 게이트 폭을 갖는 pMOS 트랜지스터(7)가 비트선(BL)에 제공된다. pMOS 트랜지스터(7)의 소스는 VCC 전원선(4)에 접속된다. pMOS 트랜지스터(7)의 드레인은 비트선(BL)에 접속된다. pMOS 트랜지스터(7)는 인버터(6)의 출력에 의해 턴 온(turn-on)되거나 턴 오프(turn-off)된다.

참조 부호 8은, 비트선(/BL)을 풀-업(pull-up)하기 위해 제공되는 pMOS 트랜지스터를 나타낸다. pMOS 트랜지스터(8)는 pMOS 트랜지스터(7)의 경우와 같은 게이트 폭을 갖는다. pMOS 트랜지스터(8)의 소스는 VCC 전원선(4)에 접속된다. pMOS 트랜지스터(8)의 드레인은 비트선(/BL)에 접속된다. pMOS 트랜지스터(8)는 인버터(6)의 출력에 의해 턴 온(turn-on)되거나 턴 오프(turn-off)된다.

상기한 구조를 갖는 스택 램에서, VCC 전원 전압은 각각 pMOS 트랜지스터(2, 3)를 통하여 비트선(BL 및 /BL)에 공급된다. 따라서, 메모리 셀(1)이 판독 사이클 중에 선택될 때, 비트선(BL 및 /BL)의 하나는 메모리 셀에서의 판독 데이터에 따라서 전원 전압(VCC)으로 유지되고, 다른 하나의 비트선(BL 및 /BL)은 전원 전압(VCC)보다 약간 낮은 전압으로 정해진다. 따라서, 작은 전압 차이가 비트선(BL 및 /BL)간에 발생하여, 센스 증폭기(sense amplifier)(도면에 나타내지 않음)에 의해 증폭된다.

반면에, 기입 사이클 중에 메모리 셀(1)이 선택될 때, 메모리 셀(1)에서의 기입 동작을 수행하기 위해, 비트선(BL 및 /BL)의 하나는 메모리 셀에서의 판독 데이터에 따라서 전원 전압(VCC)으로 유지되고, 다른 하나의 비트선(BL 및 /BL)은 접지 전압(0 V)으로 정해진다.

도 2는 기입 회복 회로(5)의 동작을 설명하는 파형도이다. 도 2는, 동작이 기입 사이클 → 판독 사이클A → 판독 사이클B로 시프트될 때의 비트선(BL 및 /BL)에서의 전압 변화와, 기입 회복 신호에서의 변화를 나타낸다.

동작이 판독 사이클A에서 판독 사이클B로 시프트될 때, 판독 사이클A 중에 전원 전압(VCC)이 예를 들어, 비트선(BL)에 공급되고, 전원 전압(VCC)보다 약간 낮은 전압이 비트선(/BL)에 공급된다. 다음에, 판독 사이클B 중에 전원 전압(VCC)이 비트선(/BL)에 공급되고, 전원 전압(VCC)보다 약간 낮은 전압이 비트선(BL)에 공급된다. 이 경우, 비트선(/BL)에 공급된 전압은 판독 사이클B 중에 전원 전압(VCC)으로 증가해야 한다. 이 동작은 비트선(/BL)의 부하 소자인 pMOS 트랜지스터(3)에 의해 수행될 수 있다.

반면에, 동작이 기입 사이클에서 판독 사이클로 시프트될 때, 기입 사이클 중에 전원 전압(VCC)이 예를 들어, 비트선(/BL)에 공급되고, 비트선(BL)은 접지 전압(0 V)으로 된다. 다음에, 판독 사이클A 중에 전원 전압(VCC)이 비트선(BL)에 공급되고 전원 전압(VCC)보다 약간 낮은 전압이 비트선(/BL)에 공급되면, 판독 사이클A 중에 비트선(BL)에 공급되는 전압이 메모리 셀에서 전원 전압(VCC)으로 증가해야 한다.

이 동작이 비트선(BL)의 부하 소자인 pMOS 트랜지스터(2)에 의해 수행될 때, 비트선(BL)에서의 전압은, 도 2에서 이점쇄선으로 나타낸 바와 같이 전원 전압(VCC)까지 급속하게 증가할 수 없다. 따라서, 동작 사이클의 주기가 확장되지 않는 한, 비트선(BL 및 /BL)간의 판독 데이터에 의한 작은 전압차이가 생성될 수 없다. 따라서, 고속의 동작은 실현될 수 없다.

상술한 스택 램에서, 기입 사이클이 판독 사이클로 시프트될 때, 기입 회복 신호(WR)는 기입 회복 주기와 같은 소정 주기 중에 높은 로직 레벨(H-level)로 설정된다. 인버터(6)의 출력은 낮은 로직 레벨(L-level)로 설정되고, pMOS 트랜지스터(7 및 8)가 턴 온 된다. 비트선(BL)이 0 볼트일 때, 비트선(BL)은 pMOS 트랜지스터(2)의 경우보다 더 큰 게이트 폭을 갖는 pMOS 트랜지스터(7)를 통하여 충전되어, 비트선(BL)에서의 전압이 급속히 전원 전압(VCC)으로 증가한다. 이와 유사하게, 비트선(/BL)이 0 볼트일 때, 비트선(/BL)은 pMOS 트랜지스터(3)의 경우보다 더 큰 게이트 폭을 갖는 pMOS 트랜지스터(8)를 통하여 충전되어, 비트선(BL)의 전압이 급속히 전원 전압(VCC)으로 증가한다.

스택 램에서, 비트선(/BL)에 제공되고 풀-업될 필요 없는 pMOS 트랜지스터(8)는 기입 회복 기간 동안



구동된다. 따라서, 기입 회복 주기동안, 구동될 필요 없는 pMOS 트랜지스터(8)의 게이트 용량에 대한 방전이 이루어진다. 그후, 기입 회복 주기가 끝나면, 게이트 용량에 대한 충전이 수행된다.

비트선을 풀-업하기 위해 설치되는 pMOS 트랜지스터(7 및 8) 각각은 큰 게이트 폭을 가지므로, 게이트 용량을 충전 및 방전하기 위해 큰 전류가 흐른다. 이는 전력 소비를 증가시키는 원인의 하나이다.

또한, 동시에 복수의 비트선의 입력 및 출력 동작을 수행하는 스테틱 램이 있다. 이러한 스테틱 램에 있어서, 복수의 데이터 입력 버퍼와 복수의 기입 버퍼 라인의 쌍이 복수의 비트로 구성되는 기입 데이터에 따라 설치된다. 그러나, 종래의 스테틱 램에서, 복수의 데이터 입력 버퍼가 단일 기입 신호에 의해 통합적으로 제어된다.

이러한 스테틱 램에 있어서, (x+y) 데이터 입력 버퍼가 제공되고 높은 차수의 (x)비트가 변경될 필요 없고 낮은 (y)비트가 변경될 필요가 있을 때, (x+y)비트 데이터는 제일 먼저 판독된다. 그후, 낮은 차수의 (n)비트가 ALU에 의해 다시 기입되고, 다음에 (x+y)비트 데이터가 기입된다.

이러한 경우에, 낮은 오더의 (y)비트만이 다시 기입 되어 한다면, 다시 기입될 필요 없는 비트에 상응하는 기입 데이터 라인 쌍을 구동할 필요가 없다. 따라서, 기입 데이터 라인 쌍의 방전 및 충전 전류는 감소될 수 있어, 스테틱 램의 전력 소비를 줄인다.

도 3은 종래 반도체 집적 회로의 부분 회로도이다. 도 3에서, L0, L1, L2, L3은 전송 데이터에 병렬로 배열된 데이터 라인을 나타낸다. 참조 부호 10은 전송에 앞서서 높은 전위 레벨(H-level)에서 데이터 라인(L0, L1, L2, L3)을 프리차지하는 데이터 라인 예비충전 회로를 나타낸다.

B0과 B1은 전송될 데이터를 나타낸다. 참조 부호 11은 데이터 전송용 트랜스시버를 나타낸다; 12는 전송할 데이터(B0)가 입력되는 경우 데이터 라인(L0, L1)을 구동하는 드라이버를 나타낸다; 그리고, 13은 전송될 데이터(B1)가 입력될 때 데이터 라인(L2 및 L3)을 구동하는 드라이버를 나타낸다.

드라이버(12)는, 데이터(B0)가 저레벨(L-level)에 있을 때, 데이터 라인(L1)을 플로팅(floating) 상태로 유지하고, 데이터 라인(L0)을 낮은 전위 레벨(L-level)로 방전한다. 또한, 드라이버(12)는, 데이터(B0)가 고레벨(H-level)에 있을 때, 데이터 라인(L0)을 플로팅 상태로 유지하고, 데이터 라인(L1)을 저레벨로 방전한다.

드라이버(13)는, 데이터(B1)가 저레벨에 있을 때, 데이터 라인(L3)을 플로팅(floating) 상태로 유지하고, 데이터 라인(L2)을 낮은 포텐셜 레벨로 방전한다. 또한, 드라이버(12)는, 데이터(B1)가 높은 포텐셜 레벨에 있을 때, 데이터 라인(L2)을 플로팅 상태로 유지하고, 데이터 라인(L3)을 낮은 포텐셜 레벨로 방전한다.

따라서, 전송될 데이터(B0 및 B1)의 로직 레벨과 데이터 라인(L0, L1, L2, L3)의 로직 레벨 사이의 관계가 다음 표 1로 표현된다.

[표 1]

B0	B1	L0	L1	L2	L3
L	L	L	H	L	H
L	H	L	H	H	L
H	L	H	L	L	H
H	H	H	L	H	L

참조 부호 14는 데이터를 수신하는 수신기를 나타낸다; 15는 데이터 라인(L0, L1)의 로직 레벨에 기초하여 전송될 데이터(B0)를 재생하는 재생 회로를 나타낸다; 16은 데이터 라인(L2, L3)의 로직 레벨에 기초하여 전송될 데이터(B1)를 재생하는 재생 회로를 나타낸다.

도 3에 나타난 종래의 반도체 집적 회로에 있어서, 2비트 데이터(B0, B1)가 네 개의 데이터 라인을 통하여 전송될 때, 네 개의 데이터 라인 중 두 개는 항상 전송될 데이터(B0, B1)의 내용에 관계없이 방전되어야 한다. 이는 전력 소모를 증가시키는 문제를 야기한다.

외부 장치에 의해 공급되는 주 클럭 신호로부터의 소정 위상차를 갖는 클럭 신호를 필요로 하는 회로를 갖는 반도체 집적 회로에서의 문제에 대해 설명하려한다.

이러한 반도체 장치는, 전압 제어 발진기를 포함하는 위상 동조 루프 회로를 갖는다. 전압 제어 발진기로부터 출력된 클럭 신호는, 주클럭 신호를 지연시켜 생성되는 소정 위상차를 갖는 클럭 신호를 필요로 하는 회로에 공급된다. 클럭 신호는 일련의 복수의 게이트 회로로 구성된 클럭 전송 회로를 통하여 회로에 공급된다.

상기한 종래의 반도체 집적 회로에 있어서, 클럭 전송 회로에 의해 결정된 지연 시간은 공정 조건의 변화, 회로의 온도 변화 및 전압 전압의 변경에 의해 달라진다. 따라서, 정확한 클럭 신호가 주클럭 신호를 지연시켜 생성되는 위상차를 갖는 클럭 신호를 필요로 하는 회로에 공급될 수 없다는 문제가 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 일반적인 목적은, 상기 문제들이 제거되어 개선된 유용한 반도체 메모리 장치와 반도체 집적 회로를 제공하는 것이다.

본 발명의 보다 구체적인 목적은, 기입 회복 회로를 구성하는 비트 라인을 풀-업하는데 사용하는 트랜지스터의 게이트 용량에 대한 충전 및 방전 전류를 줄임으로써 전력 소비를 줄일 수 있는 반도체 메모리 장

치를 제공하는 것이다.

본 발명의 다른 목적은, 기입 데이터 라인 쌍에 대한 충전 및 방전 전류를 줄임으로써 전력 소비를 줄일 수 있는 반도체 메모리 장치를 제공하는 것이다.

본 발명의 다른 목적은, 데이터 라인의 전력 소비가 감소된 반도체 집적 회로를 제공하는 것이다.

본 발명의 또 다른 목적은, 공정 조건, 온도 및 회로의 전원 전압의 변화에 관계없이, 소정의 위상차를 생성하기 위한 소정의 클럭 신호의 지연에 의해 생성되는 클럭 신호를 필요로 하는 회로에 정확한 클럭 신호를 제공할 수 있는 반도체 집적 회로를 제공하는 것이다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명의 일 태양에 따라,

메모리 셀에 접속되고, 기입 데이터에 따라 기입 사이클 중 제 1 및 제 2 비트선 중의 하나의 전위가 하강하는 상기 제 1 및 제 2 비트선;

양의 전원 전압을 공급하는 전원선과 상기 제 1 비트선간에 접속된 제 1 부하 소자;

상기 전원선과 상기 제 2 비트선간에 접속된 제 2 부하 소자;

상기 전원선에 접속된 전류 입력 단자와 상기 제 1 비트선에 접속된 전류 출력 단자를 갖고, 상기 제 1 비트선을 풀-업하는 제 1 트랜지스터; 및

상기 전원선에 접속된 전류 입력 단자와 상기 제 2 비트선에 접속된 전류 출력 단자를 갖고, 상기 제 2 비트선을 풀-업하는 제 2 트랜지스터를 구비하고,

기입 회복 주기중 트랜지스터 구동 회로는 저전위로 설정된 상기 제 1 비트선 및 상기 제 2 비트선중의 하나에 접속된 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 중의 하나를 구동하는 것을 특징으로 하는 반도체 메모리 장치가 제공된다.

상기한 발명에 따라, 기입 회복 주기 동안, 충전 및 방전 동작이, 낮은 전위로 설정된 비트선에 접속된 트랜지스터의 게이트 용량에 대해, 그리고, 트랜지스터 구동 회로에 포함된 트랜지스터의 게이트 용량에 대해 수행된다. 그러나, 트랜지스터 구동 회로에 포함된 트랜지스터의 게이트의 전체 폭이 제 1 및 제 2 비트선을 풀-업하기 위한 제 1 및 제 2 트랜지스터의 게이트의 전체 폭보다 작을 수 있으므로, 게이트 용량에 대한 충전 및 방전 전류가, 제 1 및 제 2 트랜지스터가 구동되는 경우에 비해 감소할 수 있다.

본 발명의 제 1 실시예에서, 트랜지스터 구동 회로는 상기 제 1 비트선을 포함하는 제 1 데이터 전송선의 전압, 상기 제 2 비트선을 포함하는 제 2 데이터 전송선의 전압 및 기입 회복 동작 제어용 기입 회복 신호를 제어함으로써, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터를 구동할 수 있다.

트랜지스터 구동 회로는, 상기 기입 회복 신호와 상기 제 2 데이터 전송선 전위의 NAND 동작을 행함으로써 상기 제 1 트랜지스터를 구동하는 제 1 NAND 회로와, 상기 기입 회복 신호와 상기 제 1 데이터 전송선 전위의 NAND 동작을 행함으로써 상기 제 2 트랜지스터를 구동하는 상기 제 2 NAND 회로를 포함할 수 있다.

또한, 트랜지스터 구동 회로는,

소스가 상기 전원선에 접속되고 드레인은 제 1 출력 노드에 접속되며, 게이트에 상기 기입 회복 신호가 공급되는 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터;

드레인은 상기 제 1 출력 노드에 접속되고 소스에 상기 제 1 데이터 전송선 전위가 공급되며, 게이트에 상기 기입 회복 신호가 공급되는 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터;

소스는 상기 전원선에 접속되고 드레인은 제 2 출력 노드에 접속되며, 게이트에 상기 기입 회복 신호가 공급되는 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터; 및

드레인은 상기 제 2 출력 노드에 접속되고 소스에 상기 제 2 데이터 전송선 전위가 공급되며, 게이트에 상기 기입 회복 신호가 공급되는 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터를 포함할 수 있고,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 상기 제 1 출력 노드와 상기 제 2 출력 노드의 전압에 의해 구동된다.

또한, 본 발명의 다른 태양에 의해,

2 보다 큰 정수인 n 개의 비트로 된 기입 데이터를 저장하는 반도체 메모리 소자에 있어서,

각각 기입 제어 신호와 n 비트의 기입 데이터에 대응하는 것을 입력하는 n 개의 데이터 입력 버퍼와,

상기 데이터 입력 버퍼의 각각에 접속되는 n 쌍의 기입 데이터선을 구비하며,

상기 데이터 입력 버퍼 각각의 활성화 및 비활성화가 대응하는 기입 제어 신호에 의해 개별적으로 제어하는 반도체 메모리 장치가 제공된다.

상기한 발명에 의해, n 개의 비트가 데이터의 n 비트 중에서 변경될 때, 변경될 비트에 상응하는 데이터 입력 버퍼만이 활성화 될 수 있어, 변경될 비트를 재기입한다. 따라서, n 비트를 포함하는 전체 데이터를 읽고 전체 데이터를 다시 기입할 필요가 없어, n 비트 중 원하는 비트를 변경한다.

본 발명에 의한 일 실시예에서,

각각의 상기 데이터 입력 버퍼는 그것에 접속된 기입 데이터 선의 하나를 논리 고레벨로 유지하고, 기입,

사이클중 활성화될 때 그것에 접속된 기입 데이터 선의 다른 하나를 논리 저레벨로 설정하고,

각각의 상기 데이터 입력 버퍼는 기입 사이클중 비활성화될 때 그것에 접속된 기입 데이터 선의 양자를 논리 고레벨로 유지한다.

또한, 각각의 상기 데이터 입력 버퍼는,

입력 단자 및 출력 단자를 구비하여 기입 데이터를 변환하는 제 1 인버터;

제 1 단자 및 제 2 단자를 구비하고, 상기 제 1 단자는 상기 제 1 인버터에 접속되며, 입력되는 데이터 전송 신호 및 기입 제어 신호가 활성 상태일 때 턴 온되고 입력되는 데이터 전송 신호가 비활성 상태일 때 턴 오프되는 제 1 스위칭 소자;

상기 제 1 스위칭 소자의 상기 제 2 단자에 접속된 입력 단자를 구비한 제 2 인버터와, 상기 제 2 인버터의 출력 단자에 접속된 제 1 입력 단자, 상기 제 2 인버터의 상기 입력 단자에 접속된 출력 단자 및 데이터선 리셋 신호가 공급되는 제 2 입력 단자를 구비한 제 1 NOR 회로를 포함하는 제 1 래치 회로;

입력 단자 및 출력 단자를 구비하고, 상기 입력 단자가 상기 제 1 인버터의 상기 출력 단자에 접속된 제 3 인버터;

제 1 단자 및 제 2 단자를 구비하고, 상기 제 1 단자는 상기 제 3 인버터에 접속되며, 입력되는 데이터 전송 신호 및 기입 제어 신호가 활성 상태일 때 턴 온되고 입력되는 데이터 전송 신호가 비활성 상태일 때 턴 오프되는 제 2 스위칭 소자; 및

상기 제 2 스위칭 소자의 상기 제 2 단자에 접속된 입력 단자를 구비한 제 4 인버터와, 상기 제 4 인버터의 출력 단자에 접속된 제 1 입력 단자, 상기 제 4 인버터의 상기 입력 단자에 접속된 출력 단자 및 데이터선 리셋 신호가 공급되는 제 2 입력 단자를 구비한 제 2 NOR 회로를 포함하는 제 2 래치 회로를 포함한다.

또한, 본 발명의 다른 태양에 의해,

데이터 전송에 앞서 소정의 전위로 리셋한 복수의 데이터선을 구비하고,

전송할 복수의 병렬 비트로 된 전송 데이터를 인코딩하여 전송할 데이터의 내용에 따라 상기 데이터선중 하나의 전위를 변화시키는 트랜스시버를 상기 데이터선에 접속하고;

상기 데이터선의 전위를 디코딩하여 전송 데이터를 재생시키는 수신기를 상기 데이터선에 접속하는 반도체 집적 회로가 제공된다.

상기 발명에 의해, 복수의 병렬 비트를 포함하는 전송 데이터는, 복수의 데이터선 중 하나를 변경함으로써, 즉, 복수의 데이터 중 하나를 충전 및 방전함으로써, 전송될 수 있다. 따라서, 데이터선의 전력 소비가 감소될 수 있다.

본 발명에 의한 반도체 집적 회로는, 복수의 데이터선을 고전위 레벨로 프리차지시킴으로써 상기 복수의 데이터선을 리셋하는 데이터선 프리차지 회로를 더 포함하고, 상기 트랜스시버는 복수의 트랜스시버 유닛을 포함하여 상기 트랜스시버 유닛 각각은,

각각 드레인이 상기 데이터선의 대응하는 것에 접속되고 소스는 접지되며 상기 복수의 데이터선의 대응하는 것에 구비된 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비하며,

제어 신호에 의해 활성 상태 및 불활성 상태중의 하나로 제어되는 인코더(24)는 전송 데이터를 인코딩하여 상기 인코더가 상기 활성 상태에 설정되어 있을 때 전송 데이터의 내용에 따라 상기 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터중의 하나를 턴 온하고 상기 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터의 나머지를 턴 오프하며, 상기 인코더가 상기 불활성 상태에 설정되어 있을 때 상기 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터의 모두를 턴 오프한다.

본 발명에 의해, 복수의 병렬 비트를 포함하는 전송 데이터는, 복수의 데이터선의 하나를 충전 및 방전함으로써 전송될 수 있다. 또한, 데이터선을 구동하는 출력 회로는 인버터가 아니고, n-채널 절연 게이트형 전계 효과 트랜지스터를 포함하는 오픈(open) 드레인 회로이다. 이 구조는, 데이터선에 접속된 출력 회로의 집합 용량을 줄인다. 따라서, 데이터선의 전력 소비가 감소할 수 있다.

또한, 본 발명에 의한 반도체 집적 회로는, 복수의 데이터선을 고전위 레벨로 프리차지시킴으로써 상기 복수의 데이터선을 리셋하는 데이터선 프리차지 회로를 더 포함할 수 있고, 트랜스시버는 복수의 트랜스시버 유닛을 포함하여, 상기 트랜스시버 유닛 각각은,

각 소스가 상기 데이터선의 대응하는 것에 접속되고 드레인은 접지되며 상기 복수의 데이터선의 대응하는 것에 구비된 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터를 구비하며,

제어 신호에 의해 활성 상태 및 불활성 상태중의 하나로 제어되는 인코더는 전송 데이터를 인코딩하여 상기 인코더가 상기 활성 상태에 설정되어 있을 때 전송 데이터의 내용에 따라 상기 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터중의 하나를 턴 온하고 상기 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터의 나머지를 턴 오프하며, 상기 인코더가 상기 불활성 상태에 설정되어 있을 때 상기 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터의 모두를 턴 오프한다.

본 발명에 의해, 복수의 병렬 비트를 포함하는 전송 데이터는 복수의 데이터선중 하나를 충전 및 방전함으로써 전송될 수 있다. 또한, 데이터선을 구동하는 출력 회로는 인버터가 아니고, p-채널 절연 게이트형 전계 효과 트랜지스터를 포함하는 소스 폴로워(follower) 회로이다. 이 구조는, 데이터선에 접속된 출력 회로의 집합 용량을 줄이고, 또한, 출력 전압의 진폭을 줄인다. 따라서, 데이터선의 전력 소비는 감소할 수 있다. 또한, 소스 추적 회로가 초기 스테이지에서의 전류를 구동하는 높은 용량을 갖고, 수신 감도에 의해 생성된 것보다 큰 전압차가 고속으로 생성되므로, 높은 속도의 데이터 전송이

달성된다.

본 발명에 의한 일 실시예에서, 인코더는 패스 게이트 로직 회로를 포함할 수 있다.

또한, 본 발명에 의한 반도체 집적 회로는, 복수의 데이터선을 고전위 레벨로 프리차지시킴으로써 상기 복수의 데이터선을 리셋하는 데이터선 프리차지 회로를 더 포함할 수 있고, 상기 트랜스시버는,

메모리 셀로부터 판독한 데이터를 상보 데이터로서 유지하는 복수의 래치 회로; 및

상기 복수의 데이터선과 상기 복수의 래치 회로의 상보 데이터 유지 노드 간에 접속된 제 1 패스 게이트 로직 회로를 구비하며,

상기 제 1 패스 게이트 로직 회로는 상기 복수의 래치 회로에 의해 유지되는 상보 데이터를 전송 데이터로서 인코딩하여 상보 데이터의 내용에 따라 상기 복수의 데이터선중의 하나를 방전한다.

본 발명에 의해, 복수의 병렬 비트를 포함하는 전송 데이터는, 복수의 데이터선 중 하나를 변경, 즉, 복수의 데이터선 중 하나를 충전 및 방전함으로써, 전송될 수 있다. 또한, 인코더를 구성하기 위해 필요한 트랜지스터의 수를 줄일 수 있다. 따라서, 반도체 소자의 패턴 영역을 줄일 수 있고, 데이터 전송의 지연이 감소될 수 있다.

또한, 수신기는, 복수의 데이터선의 전위를 디코딩하여 상기 복수의 래치 회로에 의해 유지되는 상보 데이터를 재생시키는 제 2 패스 게이트 로직 회로; 및

상기 제 2 패스 게이트 로직 회로의 출력을 증폭하는 증폭 회로를 포함할 수 있다.

본 발명에 의해, 디코더를 구성하는데 필요한 트랜지스터의 수를 줄일 수 있다. 따라서, 반도체 소자의 패턴 영역을 줄일 수 있고, 데이터 전송의 지연이 감소될 수 있다.

또한, 수신기는,

상기 복수의 데이터선의 전위를 디코딩하여 상기 복수의 래치 회로에 의해 유지되는 상보 데이터를 재생시키는 아날로그 곱셈 회로; 및

상기 아날로그 곱셈 회로의 출력을 증폭하는 증폭 회로를 포함할 수 있다.

본 발명에 의해, 방전 전위가 중간 레벨이고, 구동될 데이터선의 전위의 변경이 작은 전폭을 가질 때도, 데이터선의 전위는 디코딩될 수 있다. 따라서, 높은 속도의 데이터 전송이 실현될 수 있다.

본 발명에 의한 일 실시예에서, 상기 복수의 데이터선의 수는 4 이고, 상기 복수의 래치 회로는 제 1 래치 회로 및 제 2 래치 회로를 구비하며,

상기 제 1 래치 회로는 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터 및 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비하며, 상기 제 1 및 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터의 드레인 및 게이트는 교차 접속되며, 전송 데이터가 상기 메모리 셀로부터 판독될 때 상기 제 1 및 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인이 제 1 비트선 및 제 2 비트선의 쌍에 접속되고;

상기 제 2 래치 회로는 제 3 n-채널 절연 게이트형 전계 효과 트랜지스터 및 제 4 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비하며, 상기 제 3 및 제 4 n-채널 절연 게이트형 전계 효과 트랜지스터의 드레인 및 게이트는 교차 접속되며, 전송 데이터가 상기 메모리 셀로부터 판독될 때 상기 제 3 및 제 4 n-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인이 상기 메모리 셀에 접속된 제 3 비트선 및 제 4 비트선의 쌍에 접속된다.

또한, 상기 제 1 패스 게이트 로직 회로는 제 1, 제 2, 제 3 및 제 4 p-채널 절연 게이트형 전계 효과 트랜지스터를 구비하며,

상기 제 1, 제 2, 제 3 및 제 4 p-채널 절연 게이트형 전계 효과 트랜지스터의 각각의 소스는 상기 데이터선의 대응하는 것에 접속되며, 상기 제 1, 제 2, 제 3 및 제 4 p-채널 절연 게이트형 전계 효과 트랜지스터의 각각의 드레인은 상기 제 1 및 제 2 래치 회로의 상기 상보 데이터 유지 노드의 대응하는 것에 접속되며, 상기 제 1, 제 2, 제 3 및 제 4 p-채널 절연 게이트형 전계 효과 트랜지스터의 각각의 게이트는 상기 제 1 및 제 2 래치 회로의 상기 상보 데이터 유지 노드의 대응하는 것에 접속되며 전송 데이터가 전송될 때 상기 4 개의 데이터선의 하나가 상기 제 1 및 제 2 래치 회로에 의해 유지되는 상보 데이터의 내용에 따라 방전된다.

또한, 본 발명의 일 실시예에서, 수신기는,

각각의 소스 및 게이트가 교차 접속되며, 상기 드레인의 각각은 제 1 노드에 접속되고 상기 소스의 각각은 상기 복수의 4 개의 데이터선의 대응하는 것에 접속되는 제 5 및 제 6 p-채널 절연 게이트형 전계 효과 트랜지스터; 각각의 소스 및 게이트가 교차 접속되며, 상기 드레인의 각각은 제 2 노드에 접속되고 상기 소스의 각각은 상기 복수의 4 개의 데이터선의 대응하는 것에 접속되는 제 7 및 제 8 p-채널 절연 게이트형 전계 효과 트랜지스터; 각각의 소스 및 게이트가 교차 접속되며, 상기 드레인의 각각은 제 3 노드에 접속되고 상기 소스의 각각은 상기 복수의 4 개의 데이터선의 대응하는 것에 접속되는 제 9 및 제 10 p-채널 절연 게이트형 전계 효과 트랜지스터; 및 각각의 소스 및 게이트가 교차 접속되며, 상기 드레인의 각각은 제 4 노드에 접속되고 상기 소스의 각각은 상기 복수의 4 개의 데이터선의 대응하는 것에 접속되는 제 11 및 제 12 p-채널 절연 게이트형 전계 효과 트랜지스터를 구비한 제 2 패스 게이트 로직 회로;

전송 데이터의 전송에 앞서 상기 제 1, 제 2, 제 3 및 제 4 노드를 접지 전압으로 리셋하는 리셋 회로;

각각의 드레인 및 소스가 교차 접속되며, 상기 드레인이 각각 제 1 및 제 2 노드에 접속되는 제 5 및 제

6 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비하는 제 3 래치 회로;

각각의 드레인 및 소스가 교차 접속되며, 상기 드레인이 각각 제 3 및 제 4 노드에 접속되는 제 7 및 제 8 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비하는 제 4 래치 회로를 포함할 수 있다.

또한, 본 발명에 의한 일 실시예에서, 수신기는 제 1 래치 회로에 의해 유지되는 상보 데이터를 재생시키는 제 1 디코더와, 상기 제 2 래치 회로에 의해 유지되는 상보 데이터를 재생시키는 제 2 디코더를 포함할 수 있고,

상기 제 1 디코더는

드레인은 제 5 노드에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속된 제 9 n-채널 절연 게이트형 전계 효과 트랜지스터; 드레인은 상기 제 9 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속되고, 소스는 제 6 노드에 접속된 제 10 n-채널 절연 게이트형 전계 효과 트랜지스터; 드레인은 상기 제 5 노드에 접속되고, 게이트는 상기 제 10 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속된 제 11 n-채널 절연 게이트형 전계 효과 트랜지스터; 및 드레인은 상기 제 11 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 제 11 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속되고, 소스는 상기 제 6 노드에 접속된 제 12 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비한 제 1 아날로그 증폭 회로;

드레인은 제 7 노드에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속된 제 13 n-채널 절연 게이트형 전계 효과 트랜지스터; 드레인은 상기 제 13 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속되고, 소스는 제 8 노드에 접속된 제 14 n-채널 절연 게이트형 전계 효과 트랜지스터; 드레인은 상기 제 7 노드에 접속되고, 게이트는 상기 제 14 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속된 제 15 n-채널 절연 게이트형 전계 효과 트랜지스터; 및 드레인은 상기 제 15 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 제 13 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속되고, 소스는 상기 제 8 노드에 접속된 제 16 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비한 제 2 아날로그 증폭 회로;

게이트 및 드레인이 교차 접속되며, 상기 드레인이 각각 제 5 및 제 7 노드에 접속되며, 소스에 전원 전압이 공급되는 제 13 및 제 14 p-채널 절연 게이트형 전계 효과 트랜지스터; 드레인이 상기 제 6 노드에 접속되고, 게이트가 상기 제 7 노드에 접속된 제 17 n-채널 절연 게이트형 전계 효과 트랜지스터; 및 드레인이 상기 제 8 노드에 접속되고, 게이트가 상기 제 5 노드에 접속된 제 18 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비한 제 5 래치 회로; 및

드레인이 상기 제 5 노드에 접속되고, 소스에 전원 전압이 공급되며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 15 p-채널 절연 게이트형 전계 효과 트랜지스터; 드레인이 상기 제 7 노드에 접속되고, 소스에 전원 전압이 공급되며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 16 p-채널 절연 게이트형 전계 효과 트랜지스터; 드레인이 상기 제 17 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 소스에 접지 전압을 공급하며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 19 n-채널 절연 게이트형 전계 효과 트랜지스터; 및 드레인이 상기 제 18 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 소스에 접지 전압을 공급하며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 20 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비한 제 1 리셋 회로를 구비하고,

상기 제 2 디코더는

드레인은 제 9 노드에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속된 제 21 n-채널 절연 게이트형 전계 효과 트랜지스터; 드레인은 상기 제 21 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속되고, 소스는 제 10 노드에 접속된 제 22 n-채널 절연 게이트형 전계 효과 트랜지스터; 드레인은 상기 제 9 노드에 접속되고, 게이트는 상기 제 22 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속된 제 23 n-채널 절연 게이트형 전계 효과 트랜지스터; 및 드레인은 상기 제 23 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 제 21 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속되고, 소스는 상기 제 10 노드에 접속된 제 24 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비한 제 3 아날로그 증폭 회로;

드레인은 제 11 노드에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속된 제 25 n-채널 절연 게이트형 전계 효과 트랜지스터; 드레인은 상기 제 25 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속되고, 소스는 제 12 노드에 접속된 제 26 n-채널 절연 게이트형 전계 효과 트랜지스터; 드레인은 상기 제 11 노드에 접속되고, 게이트는 상기 제 26 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속된 제 27 n-채널 절연 게이트형 전계 효과 트랜지스터; 및 드레인은 상기 제 27 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 제 25 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속되고, 소스는 상기 제 12 노드에 접속된 제 28 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비한 제 2 아날로그 증폭 회로;

게이트 및 드레인이 교차 접속되며, 상기 드레인이 각각 제 9 및 제 11 노드에 접속되며, 소스에 전원 전압이 공급되는 제 29 및 제 30 p-채널 절연 게이트형 전계 효과 트랜지스터; 드레인이 상기 제 10 노드(N7)에 접속되고, 게이트가 상기 제 11 노드에 접속된 제 17 n-채널 절연 게이트형 전계 효과 트랜지스터; 및 드레인이 상기 제 12 노드에 접속되고, 게이트가 상기 제 9 노드에 접속된 제 18 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비한 제 6 래치 회로; 및

드레인이 상기 제 9 노드에 접속되고, 소스에 전원 전압이 공급되며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 19 p-채널 절연 게이트형 전계 효과 트랜지스터; 드레인이 상기 제 11 노드에 접속되고, 소스에 전원 전압이 공급되며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 20 p-채널 절연 게이트형

전계 효과 트랜지스터; 드레인이 상기 제 29 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 소스에 접지 전압을 공급하며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 29 n-채널 절연 게이트형 전계 효과 트랜지스터; 및 드레인이 상기 제 31 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 소스에 접지 전압을 공급하며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 32 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비한 제 2 리셋 회로를 구비한다.

본 발명의 다른 태양에 의해, 제 1 클럭 신호를 수신하여, 제 1 클럭 신호에 대해 소정의 위상차를 갖고 제 1 클럭 신호를 지연시킴으로써 발생하는 제 2 클럭 신호를 출력하고, 제 2 클럭 신호를 필요로 하는 외부 회로에 접속되도록 조정된 반도체 집적 회로가 제공되고, 이러한 반도체 집적 회로는,

A) 각각 지연 시간 TA를 공급하는 직렬 접속된 m 게이트 회로를 구비하여 상기 외부 회로에 제 2 클럭 신호를 공급하는 클럭 전송 회로;

B) B-1) 제 1 클럭 신호가 입력되는 가변 지연 회로; 및

B-2) 각각 지연 시간 TA를 공급하는 직렬 접속된 n 게이트 회로(n은 m 보다 큼)를 구비한 고정 지연 회로를 구비하여 제 1 클럭 신호를 지연시키는 지연 회로(제 1 스테이지 게이트 회로

여기서, 상기 가변 지연 회로의 출력 단자에 접속되고, 상기 가변 지연 회로의 상기 출력 단자중의 하나와 상기 고정 지연 회로의 제 n-m 게이트 회로의 출력 단자는 상기 클럭 전송 회로의 입력 단자에 접속되고, 제 3 클럭 신호는 상기 고정 지연 회로의 최종 스테이지 게이트 회로로부터 출력된다); 및

C) 상기 가변 지연 회로의 지연 시간을 제어하여 제 3 클럭 신호의 위상이 상기 클럭 전송 회로로부터 출력된 제 2 클럭 신호의 위상과 같아지도록 하는 지연 로크 루프 회로를 구비한다.

상기한 본 발명에 의해, 제 n-m-1 스테이지 게이트 회로에서 최종 스테이지 게이트 회로까지의 고정 지연 회로의 게이트 회로의 수는, 클럭 전송 회로의 게이트 회로의 수와 같은 m이고, 고정 지연 회로의 최종 스테이지 게이트 회로에서 얻은 제 3 클럭 신호의 위상은 클럭 전송 회로로부터 출력되는 것과 동일하게 되도록 제어된다. 따라서, 공정 조건, 온도 변화 또는 전원 전압의 레벨에 관계없이 클럭 전송 회로에서의 제 2 클럭 신호 출력은 일정한 위상을 갖는다.

또한, 본 발명의 다른 태양에 의해, 제 1 클럭 신호를 수신하여 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 2 클럭 신호를 출력하여 제 2 클럭 신호를 필요로 하는 외부 회로에 접속되도록 조정되는 반도체 집적 회로에 있어서, 제 2 클럭 신호는 제 1 클럭 신호를 지연시킴으로써 발생되고,

A) 각각 지연 시간 TA를 공급하는 직렬 접속된 m 게이트 회로를 구비하여 상기 외부 회로에 제 2 클럭 신호를 공급하는 클럭 전송 회로;

B) B-1) B-1-1) 가변 지연 회로; 및

B-1-2) 각각 지연 시간 TA를 공급하는 직렬 접속된 n 게이트 회로(n은 m 보다 큼)를 구비한 고정 지연 회로를 구비하여 제 1 클럭 신호를 지연시키는 지연 회로(제 1 클럭 신호가 공급되는 노드에 접속된 제 1 스테이지 지연 회로 유닛의 입력 단자, 상기 지연 회로중의 하나의 상기 가변 지연 회로의 출력 단자중의 하나 및 상기 지연 회로 유닛중의 하나의 상기 고정 지연 회로의 제 n-m 게이트 회로의 출력 단자는 상기 클럭 전송 회로의 입력 단자에 접속되고, 제 3 클럭 신호는 최종 스테이지 지연 회로 유닛의 고정 지연 회로의 최종 스테이지 게이트 회로로부터 출력된다); 및

C) 상기 지연 회로 유닛 각각의 상기 가변 지연 회로의 지연 시간을 제어하여 제 3 클럭 신호가 제 1 클럭 신호 및 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 4 클럭 신호 중의 하나와 일치하도록 한 지연 로크 루프 회로를 구비한 반도체 집적 회로가 제공된다.

상기 발명에 의해, 제 n-m-1 스테이지 게이트 회로에서 최종 스테이지 게이트 회로까지의 소정의 지연 회로 유닛의 고정 지연 회로의 게이트 회로의 수는, 클럭 전송 회로의 게이트 회로의 수와 같은 m이고, 최종 스테이지 고정 지연 회로의 최종 스테이지 게이트 회로에서 얻은 제 3 클럭 신호는, 제 1 클럭 신호 또는 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 4 클럭 신호와 동조된다. 따라서, 클럭 전송 회로로부터의 제 2 클럭 전송 출력의 위상은, 공정 조건, 온도 변화 또는 전원 전압의 레벨에 관계없이 소정 지연 회로의 고정 지연 회로의 최종 스테이지 게이트 회로로부터 출력된 클럭 신호의 위상과 같다.

또한, 본 발명의 다른 태양에 의해, 제 1 클럭 신호를 수신하여 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 2 클럭 신호를 출력하여 제 2 클럭 신호를 필요로 하는 외부 회로에 접속되도록 조정되는 반도체 집적 회로에 있어서, 제 2 클럭 신호는 제 1 클럭 신호를 지연시킴으로써 발생되고,

A) 각각 지연 시간 TA를 공급하는 직렬 접속된 m 게이트 회로를 구비하여 상기 외부 회로에 제 2 클럭 신호를 공급하는 클럭 전송 회로;

B) B-1) B-1-1) 각각 지연 시간 TL을 공급하는 직렬 접속된 L 게이트 회로를 구비한 제 1 가변 지연 회로;

B-1-2) 각각 지연 시간 TA를 공급하는 직렬 접속된 n 게이트 회로를 구비한 제 1 고정 지연 회로;

B-1-3) 각각 지연 시간 TL을 공급하는 직렬 접속된 L 게이트 회로를 구비한 제 2 가변 지연 회로; 및

B-1-4) 각각 지연 시간 TA를 공급하는 직렬 접속된 n 게이트 회로를 구비한 제 2 고정 지연 회로를 구비하여 제 1 클럭 신호를 지연시키는 지연 회로(여기서, 제 3 클럭 신호는 상기 제 2 고정 지연 회로의 최종 스테이지 게이트 회로로부터 출력된다); 및

B-2) 상기 제 1 및 제 2 가변 지연 회로 각각의 지연 시간을 제어하여 제 3 클럭 신호의 위상이 제 2 클럭 신호의 위상과 같아지도록 하는 지연 시간 제어 회로를 구비한 지연 로크 루프 회로; 및

C) 각각 지연 시간 TA를 공급하는 직렬 접속된 k 게이트 회로를 구비한 제 3 고정 지연 회로(상기 제 3 고정 지연 회로의 입력 단자는 상기 제 1 가변 지연 회로의 출력 단자 및 상기 제 1 고정 지연 회로의 제

$2n+(TL/TA)L-m-k$  게이트 회로의 출력 단자중의 하나에 접속되며,  $n, m, L$  및  $k$ 는  $n, m, (TL/TA)L+n$  및  $1, 2n+(TL/TA)L-m-k$   $n$ 의 관계를 만족시키는 양의 정수이고, 상기 제 3 고정 지연 회로의 출력 단자는 상기 클럭 전송 회로의 입력 단자에 접속된다)를 구비한 반도체 집적 회로가 제공된다.

상기 발명에 의해, 제1 고정 지연 회로의 제1 스테이지 게이트 회로로부터 제3 고정 지연 회로의 최종 스테이지 게이트 회로까지의 게이트 회로의 수는 제1 고정 지연 회로의 제1 스테이지 게이트 회로에서 제2 고정 지연 회로의 제 $n-m$  스테이지 게이트 회로까지의 게이트 회로의 수와 같은  $2n+(TL/TA)L-m$ 이다. 또한, 제2 고정 지연 회로의 고정 지연 회로의 최종 스테이지 게이트 회로에서 얻은 제3 클럭 신호의 위상은, 클럭 전송 회로로부터 출력된 제2 클럭 신호의 위상과 같도록 제어된다. 따라서, 클럭 전송 회로에서 출력되는 제2 클럭 신호는, 공정 조건, 온도 변화나 전원 전압의 레벨에 관계없이 요구되는 위상을 갖는다.

또한, 본 발명의 다른 태양에 의해, 제 1 클럭 신호를 수신하여 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 2 클럭 신호를 출력하여 제 2 클럭 신호를 필요로 하는 외부 회로에 접속되도록 조정되는 반도체 집적 회로에 있어서, 제 2 클럭 신호는 제 1 클럭 신호를 지연시킴으로써 발생되고,

A) 각각 지연 시간  $TA$ 를 공급하는 직렬 접속된  $m$  게이트 회로를 구비하여 상기 외부 회로에 제 2 클럭 신호를 공급하는 클럭 전송 회로;

B) B-1) B-1-1) B-1-1-1) 각각 지연 시간  $TL$ 을 공급하는 직렬 접속된  $L$  게이트 회로를 구비한 가변 지연 회로; 및

B-1-1-2) 각각 지연 시간  $TA$ 를 공급하는 직렬 접속된  $n$  게이트 회로를 구비한 고정 지연 회로를 구비한 직렬 접속된 복수의 지연 회로 유닛을 구비하여 제 1 제어 신호를 지연시키는 지연 회로(제 1 스테이지 지연 회로 유닛의 가변 지연 회로의 입력 단자는 제 1 클럭 신호가 입력되는 노드에 접속되고, 제 3 클럭 신호는 최종 스테이지 지연 회로의 최종 스테이지 고정 지연 회로의 최종 스테이지 게이트 회로로부터 출력된다); 및

B-2) 지연 회로 각각의 가변 지연 회로의 지연 시간을 제어하여 제 3 클럭 신호의 위상이 제 1 클럭 신호의 위상 및 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 4 클럭 신호의 위상중의 하나와 같아지도록 하는 지연 시간 제어 회로를 구비한 지연 로크 루프 회로; 및

C) 각각 지연 시간  $TA$ 를 공급하는 직렬 접속된  $k$  게이트 회로를 구비한 제 3 고정 지연 회로(상기 제 3 고정 지연 회로의 입력 단자는 상기 제 1 가변 지연 회로의 출력 단자 및 상기 제 1 고정 지연 회로의 제  $2n+(TL/TA)L-m-k$  게이트 회로의 출력 단자중의 하나에 접속되며,  $n, m, L$  및  $k$ 는  $n, m, (TL/TA)L+n$  및  $1, 2n+(TL/TA)L-m-k$   $n$ 의 관계를 만족시키는 양의 정수이고, 상기 제 3 고정 지연 회로의 출력 단자는 상기 클럭 전송 회로의 입력 단자에 접속된다)를 구비한 반도체 집적 회로가 제공된다.

상기 발명에 의해, 소정의 고정 지연 회로의 제1 스테이지 게이트 회로에서 제3 고정 지연 회로의 최종 스테이지 게이트 회로까지의 게이트 회로의 수는, 소정의 지연 회로 유닛의 제1 스테이지 게이트 회로에서 소정의 고정 지연 회로에 수반하는 고정 지연 회로의 제 $n-m$  스테이지 게이트 회로까지의 게이트 회로의 수와 같은  $2n+(TL/TA)L-m$ 이다. 또한, 최종 고정 지연 회로의 고정 지연 회로의 최종 스테이지 게이트 회로에서 얻은 제3 클럭 신호의 위상은, 제1 클럭 신호 또는 제1 클럭 신호에 대해 소정 위상차를 갖는 제4 클럭 신호의 위상과 같도록 제어된다. 따라서, 클럭 전송 회로에서 출력되는 제2 클럭 신호는, 공정 조건, 온도 변화나 전원 전압의 레벨에 관계없이 요구되는 위상을 갖는다.

또한, 본 발명에 의해, 제 1 클럭 신호를 수신하여 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 2 클럭 신호를 출력하여 제 2 클럭 신호를 필요로 하는 외부 회로에 접속되도록 조정되는 반도체 집적 회로에 있어서, 제 2 클럭 신호는 제 1 클럭 신호를 지연시킴으로써 발생되고,

A) 각각 지연 시간  $TA$ 를 공급하는 직렬 접속된  $m$  게이트 회로를 구비하여 상기 외부 회로에 제 2 클럭 신호를 공급하는 클럭 전송 회로;

B) B-1) B-1-1) 각각 지연 시간  $TL$ 을 공급하는 직렬 접속된  $L$  게이트 회로를 구비한 제 1 가변 지연 회로;

B-1-2) 각각 지연 시간  $TA$ 를 공급하는 직렬 접속된  $n$  게이트 회로를 구비한 제 1 고정 지연 회로(상기 고정 지연 회로의 제 1 스테이지 게이트 회로의 입력 단자는 상기 제 1 가변 지연 회로의 출력 단자에 접속되고, 상기 제 1 지연 회로의 제  $2n+(TL/TA)L-m-k$  게이트 회로의 출력 단자는 상기 클럭 전송 회로의 입력 단자에 접속되며,  $n, m, L$  및  $k$ 는  $n, m, (TL/TA)L+n$  및  $1, 2n+(TL/TA)L-m-k$   $n$ 의 관계를 만족시키는 양의 정수이다);

B-1-3) 각각 지연 시간  $TL$ 을 공급하는 직렬 접속된  $L$  게이트 회로를 구비한 제 2 가변 지연 회로(상기 제 2 가변 지연 회로의 입력 단자는 상기 제 1 고정 지연 회로의 최종 스테이지 게이트 회로의 출력 단자에 접속된다); 및

B-1-4) 각각 지연 시간  $TA$ 를 공급하는 직렬 접속된  $n$  게이트 회로를 구비한 제 2 고정 지연 회로(상기 제 2 고정 지연 회로의 제 1 스테이지 게이트 회로의 입력 단자는 상기 제 2 가변 지연 회로의 출력 단자에 접속되고, 제 3 클럭 신호는 상기 제 2 고정 지연 회로의 최종 스테이지 지연 회로의 출력 단자로부터 출력된다)를 구비하여 제 1 클럭 신호를 지연시키는 지연 회로; 및

B-2) 상기 제 1 및 제 2 가변 지연 회로 각각의 지연 시간을 제어하여 제 3 클럭 신호의 위상이 제 2 클럭 신호로부터 소정 지연 시간만큼 지연되도록 하는 지연 시간 제어 회로를 구비한 지연 로크 루프 회로; 및

C) 각각 지연 시간  $TA$ 를 공급하는 직렬 접속된  $k$  게이트 회로를 구비하여 상기 소정의 지연 시간을 공급하며, 상기 지연 회로의 상류 측에 위치하여 상기 지연 회로와 협력하여 제 1 클럭 신호(MC)를 지연시키는 제 3 고정 지연 회로를 구비한 반도체 집적 회로가 제공된다.

상기 발명에 의해, 제3 고정 지연 회로의 게이트 회로의 수와 제1 고정 지연 회로의 제1 스테이지 게이트







연 회로의 제1 스테이지 게이트 회로에서 제2 고정 지연 회로의 제 $n$ - $m$  스테이지 게이트 회로까지의 게이트 회로의 수와 동일한  $2n+(TL/TA)L-m$ 과 동일하다. 또한, 제2 고정 지연 회로의 최종 스테이지 게이트 회로에서 얻은 제3 클럭 신호의 위상은, 제3 고정 지연 회로에 의해 제공되는 지연 시간에 의한 제2 클럭 신호의 위상으로부터 지연되도록 제어된다. 따라서, 클럭 전송 회로에서 출력된 제2 클럭 신호는, 공정 조건, 온도 변화 또는 전원 전압의 레벨에 관계없이 요구되는 위상을 갖는다.

또한, 본 발명에 의해, 제 1 클럭 신호를 수신하여 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 2 클럭 신호를 출력하며 제 2 클럭 신호를 필요로 하는 외부 회로에 접속되도록 조정되는 반도체 집적 회로에 있어서, 제 2 클럭 신호는 제 1 클럭 신호를 지연시킴으로써 발생되고,

A) 각각 지연 시간을 공급하는 직렬 접속된  $m$  게이트 회로를 구비하여 상기 외부 회로에 제 2 클럭 신호를 공급하는 클럭 전송 회로;

B) B-1) B-1-1) B-1-1-1) 각각 지연 시간  $TL$ 을 공급하는 직렬 접속된  $L$  게이트 회로를 구비한 가변 지연 회로; 및

B-1-2) 각각 지연 시간을 공급하는 직렬 접속된  $n$  게이트 회로를 구비한 고정 지연 회로를 구비한 직렬 접속된 복수의 지연 회로 유닛을 구비하여 제 1 제어 신호를 지연시키는 지연 회로

(제 3 클럭 신호는 최종 스테이지 지연 회로 유닛의 고정 지연 회로의 최종 스테이지 게이트 회로로부터 출력되고, 제 4 클럭 신호는 제 1 스테이지 지연 회로 유닛에 입력된다); 및

B-2) 지연 회로 유닛 각각의 가변 지연 회로의 지연 시간을 제어하여 제 3 클럭 신호가 제 4 클럭 신호 및 제 4 클럭 신호에 대해 소정의 위상차를 갖는 제 5 클럭 신호와 같아지도록 하는 지연 시간 제어 회로를 구비한 지연 로크 루프 회로; 및

C) 각각 지연 시간  $TA$ 를 공급하는 직렬 접속된  $k_1$  게이트 회로를 구비한 제 3 고정 지연 회로(상기 제 3 지연 회로의 입력 단자는 제 1 클럭 신호가 입력되는 노드에 접속되고, 상기 제 3 지연 회로의 출력 단자는 제 1 스테이지 지연 회로 유닛의 입력 단자에 접속된다); 및

D) 각각 지연 시간  $TA$ 를 공급하는 직렬 접속된  $k_2$  게이트 회로를 구비한 제 4 고정 지연 회로(상기 제 4 지연 회로의 입력 단자는 상기 지연 회로 유닛의 출력 단자 및 상기 지연 회로 유닛 중 하나의 제  $2n+(TL/TA)L-m-k_1-k_2$  게이트 회로의 출력 단자 중 하나에 접속되고,  $n, m, L, k_1$  및  $k_2$ 는  $n, m$  및  $1, 2n+(TL/TA)L-m-k_1-k_2$ 의 관계를 만족시키는 양의 정수이고, 상기 제 4 고정 지연 회로의 출력 단자는 상기 클럭 전송 회로의 입력 단자에 접속된다)를 구비하는 반도체 집적 회로가 제공된다.

상기 발명에 의해, 제3 고정 지연 회로의 게이트 회로의 수와 소정의 지연 회로 유닛의 고정 지연 회로의 제1 스테이지 게이트 회로에서 제4 지연 회로의 고정 지연 회로의 최종 스테이지 게이트 회로까지의 게이트 회로의 수의 합은, 소정의 지연 회로 유닛의 제1 제1 스테이지 게이트 회로에서 소정의 지연 회로 유닛에 수반하는 지연 회로 유닛의 고정 지연 회로의 제 $n$ - $m$  스테이지 게이트 회로까지의 게이트 회로의 수와 같은  $2n+(TL/TA)L-m$ 이다. 또한, 최종 스테이지 지연 회로 유닛의 고정 지연 회로의 최종 스테이지 게이트 회로에서 얻은 제3 클럭 신호는, 제4 클럭 신호 또는 제4 클럭 신호에 대해 소정 위상차를 갖는 제5 클럭 신호와 동조되도록 제어된다. 따라서, 공정 조건, 온도 변화나 전원 전압의 레벨에 관계없이, 클럭 전송 회로에서 출력되는 제2 클럭 신호의 위상은, 소정 지연 회로 유닛에 수반하는 지연 회로 유닛의 고정 지연 회로의 최종 스테이지 게이트 회로에서 출력되는 클럭 신호의 위상과 같다.

또한, 본 발명에 의한 한 실시예에서, 상기 가변 지연 회로는 직렬 접속된 복수의 게이트 회로를 구비하며, 상기 가변 지연 회로의 상기 게이트 회로는

소스가 전원선에 접속된 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터;

소스가 상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속된 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터;

드레인이 상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속되고 게이트가 상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속된 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터;

드레인이 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고 소스는 접지선에 접속된 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터;

상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 상기 게이트 및 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 상기 게이트의 각각에 접속된 클럭 입력 노드; 및

상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인 및 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인의 각각에 접속된 클럭 출력 노드를 구비할 수 있고,

상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 제 1 지연 시간 제어 전압을 공급하고, 상기 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 제 2 지연 시간 제어 전압을 공급한다.

대신에, 가변 지연 회로는,

A) 소스가 전원선에 접속된 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터;

B) B-1) 소스가 상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속된 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터;

B-2) 드레인이 상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속된 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터;

B-3) 상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 게이트 및 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트의 각각에 접속된 클럭 입력 노드; 및

B-4) 상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인 및 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인의 각각에 접속된 클럭 출력 노드를 각각 구비한 직렬 접속된 복수의 게이트 회로; 및

C) 소스가 접지선에 접속된 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비할 수도 있고,

상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 제 1 지연 시간 제어 전압을 공급하고, 상기 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 제 2 지연 시간 제어 전압을 공급한다.

또한, 지연 시간 제어 회로는,

스타터 회로;

상기 접지선에 접속된 제 1 단자 및 상기 제 1 지연 시간 제어 전압이 발생하는 제 2 단자를 갖는 제 1 커패시터;

상기 전원선에 접속된 제 1 단자 및 상기 제 2 지연 시간 제어 전압이 발생하는 제 2 단자를 갖는 제 2 커패시터; 및

상기 지연 로크 루프 회로에 구비된 상기 지연 회로로부터 출력된 클럭 신호와 지연 제어용 참조 클럭 신호를 비교함으로써 상기 제 1 및 제 2 커패시터를 충·방전하는 위상 비교 및 충전 펌프 회로를 구비할 수 있고,

상기 위상 비교 및 충전 펌프 회로의 동작 개시는 상기 스타터 회로에 의해 제어하고,

스타터 신호가 상기 스타터 회로에 입력될 때 상기 위상 비교 및 충전 펌프 회로는 소정의 수의 클럭 사이클이 경과할 때까지 상기 제 1 커패시터를 충전하고 상기 제 2 커패시터를 방전하며, 상기 시간이 경과한 후 통상적인 작업을 행한다.

또한, 위상 비교 및 충전 펌프 회로는,

A) A-1) 각각 풀-업 소자로 작용하는 직렬 접속된 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터; 및

A-2) 각각 풀-다운 소자로 작용하는 직렬 접속된 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비하여 상기 제 1 커패시터를 충·방전하는 제 1 위상 비교 및 충전 펌프 회로(상기 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터 및 상기 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터의 온/오프 동작은 상기 지연 회로에 입력된 클럭 신호, 상기 지연 회로로부터 출력된 클럭 신호 및 상기 지연 회로의 소정의 노드에 출력된 클럭 신호를 포함한 복수의 클럭 신호에 의해 제어한다); 및

B) B-1) 풀-업 소자로 작용하는 직렬 접속된 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터; 및

B-2) 풀-다운 소자로 작용하는 직렬 접속된 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터를 구비할 수 있으며, 상기 제 2 커패시터를 충·방전하는 제 2 위상 비교 및 충전 펌프 회로(상기 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터 및 상기 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터의 온/오프 동작은 상기 지연 회로에 입력된 클럭 신호, 상기 지연 회로로부터 출력된 클럭 신호 및 상기 지연 회로의 소정의 노드에 출력된 클럭 신호를 포함한 복수의 클럭 신호에 의해 제어한다)를 구비할 수 있다.

또한, 본 발명에 의한 반도체 집적 회로에서, 가변 지연 회로는 직렬 접속된 복수의 게이트 회로를 구비할 수 있으며, 각각의 게이트 회로는,

소스가 전원선에 접속된 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터;

소스가 상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속된 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터;

드레인이 상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속된 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터;

드레인이 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속되고 게이트는 상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터에 접속되고 소스는 접지선에 접속된 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터;

상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터의 게이트 및 상기 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트의 각각에 접속된 클럭 입력 노드; 및

상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인 및 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인의 각각에 접속된 클럭 출력 노드를 구비하며,

상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 제 1 지연 시간 제어 전압을 공급하고, 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 제 2 지연 시간 제어 전압을 공급한다.

도면을 참조하여, 본 발명의 다른 목적들, 특징 및 장점은 이하의 상세한 설명을 통해 보다 명확해질 것이다.

(발명의 실시예)

본 발명의 제1 실시예를 도 4를 참조하여 이하에 설명한다. 도 4는 본 발명의 제1 실시예에 의한 스테틱 램(static RAM)의 부분 회로도이다.

본 발명의 제1 실시예에 의한 스테틱 램은, 도 1에 나타난 종래의 기입 회복 회로에 설치된 기입 회복 회로 대신에 기입 회복 회로(1)가 설치되어 있다. 도 1에 나타난 바와 같이, 다른 부분은 종래의 스테틱 램과 같다.

본 발명의 기입 회복 회로(15)는, 도 1에 나타난 기입 회복 회로에 설치된 인버터(6) 대신에 트랜지스터 구동 회로(16)가 설치된 것을 제외하고는 기입 회복 회로와 동일한 회로 구조를 갖는다. 기입 회복 회로(15)는 두 개의 NAND 회로(17, 23)로 구성되고, 비트선(BL, /BL)을 풀-업하기 위해 사용된다.

트랜지스터 구동 회로(16)는 기입 데이터 라인(WD, /WD) 쌍으로 구성된다. 기입 데이터 라인(WD, /WD)은, 기입 데이터가 외부 장치로부터 입력되는 입력 버퍼에 의해 구동된다. 데이터 라인(WD)은 기입 증폭기를 거쳐 비트선(BL)에 접속되고, 데이터 라인(/WD)은 기입 증폭기를 거쳐 비트선(/BL)에 접속된다.

NAND 회로(17)는 기입 회복 신호(WR) 상에 NAND 동작을 수행하여 pMOS 트랜지스터(7)를 구동한다. NAND 회로(17)는 pMOS 트랜지스터(18, 19)와 nMOS 트랜지스터(20, 21)를 포함한다. 본 명세서에서, pMOS 트랜지스터는 일반적으로 p 채널 절연 게이트형 필드 효과 트랜지스터를 가리키고, nMOS 트랜지스터는 n 채널 절연 게이트형 필드 효과 트랜지스터를 가리킨다.

pMOS 트랜지스터(18)의 소스는 VCC 전원선(4)에 접속된다. pMOS 트랜지스터(18)의 드레인은 출력 노드(22)에 접속된다. 기입 회복 신호(WR)는 pMOS 트랜지스터(18)의 게이트에 설치되어, pMOS 트랜지스터(18)의 온/오프(on/off) 동작은 기입 회복 신호(WR)에 의해 제어된다. 출력 노드(22)는 pMOS 트랜지스터(7)의 게이트에 접속된다.

pMOS 트랜지스터(19)의 소스는 VCC 전원선(4)에 접속된다. pMOS 트랜지스터(19)의 드레인은 출력 노드(22)에 접속된다. pMOS 트랜지스터(19)의 게이트는 기입 데이터선(/WD)에 접속된다. pMOS 트랜지스터(19)의 온/오프 동작은 기입 데이터선(/WD) 상의 전위에 의해 제어된다.

nMOS 트랜지스터(20)의 드레인은 출력 노드(22)에 접속된다. 기입 회복 신호(WR)는 nMOS 트랜지스터(20)의 게이트에 제공되어, nMOS 트랜지스터(20)의 온/오프 동작은 기입 회복 신호(WR)에 의해 제어된다.

nMOS 트랜지스터(21)의 드레인은 nMOS 트랜지스터(20)의 소스에 접속된다. nMOS 트랜지스터(21)의 소스는 접지선에 접속된다. nMOS 트랜지스터(21)의 게이트는 기입 데이터선(/WD)에 접속된다. nMOS 트랜지스터(21)의 온/오프 동작은 기입 데이터선(/WD) 상의 전위에 의해 제어된다.

NAND 회로(23)는 기입 회복 신호(WR) 및 기입 데이터선(WD)상의 전위에 대한 NAND 동작을 수행하여 pMOS 트랜지스터(8)를 구동한다. NAND 회로(23)는 pMOS 트랜지스터(24, 25)와 nMOS 트랜지스터(26, 27)를 포함한다.

pMOS 트랜지스터(24)의 소스는 VCC 전원선에 접속된다. pMOS 트랜지스터(24)의 드레인은 출력 노드(28)에 접속된다. 기입 회복 신호(WR)는 pMOS 트랜지스터(24)의 게이트에 제공되어, 기입 회복 신호(WR)에 의해 pMOS 트랜지스터(24)의 온/오프 동작이 제어된다. 출력 노드(28)는 pMOS 트랜지스터(8)의 게이트에 접속된다.

pMOS 트랜지스터(25)의 소스는 VCC 전원선(4)에 접속된다. pMOS 트랜지스터(25)의 드레인은 출력 노드(28)에 접속된다. pMOS 트랜지스터(25)의 게이트는 기입 데이터선(WD)에 접속된다. pMOS 트랜지스터(25)의 온/오프 동작은 기입 데이터선(WD)의 전위에 의해 제어된다.

nMOS 트랜지스터(26)의 드레인은 출력 노드(28)에 접속된다. 기입 회복 신호(WR)는 nMOS 트랜지스터(26)에 제공되어, nMOS 트랜지스터(26)의 온/오프 동작은 기입 회복 신호(WR)에 의해 제어된다.

nMOS 트랜지스터(27)의 드레인은 nMOS 트랜지스터(26)의 소스에 접속된다. nMOS 트랜지스터(27)의 소스는 전원선에 접속된다. nMOS 트랜지스터(27)의 게이트는 기입 데이터선(WD)에 접속된다. nMOS 트랜지스터(27)의 온/오프 동작은 기입 데이터선(WD)의 전위에 의해 제어된다.

본 발명의 제1 실시예에 의한 기입 회복 회로(15)에서, 기입 회복 신호(WR)는 기입 사이클 동안 0으로 설정되어 있다. 그 결과, NAND 회로(17)에서, pMOS 트랜지스터(18)는 온(on); nMOS 트랜지스터(20)는 오프(off); 그리고, 출력 노드(22)의 전위는 VCC와 동일하다. 따라서, pMOS 트랜지스터(7, 8)는 모두 오프이다.

반면, 기입 회복 주기 동안, 기입 회복 신호(WR)는 VCC로 설정되어 있다. NAND 회로(17)에서, pMOS 트랜지스터(18)는 오프이고, nMOS 트랜지스터(20)는 온이다. 또한, NAND 회로(23)에서, pMOS 트랜지스터(24)는 오프이고, nMOS 트랜지스터(26)는 온이다.

그 결과, 스테틱 램의 동작이 기입 사이클에서 판독 사이클로 시프트할 때, 그리고, 기입 사이클 동안 비트선(BL)이 전원 전압(VCC)으로 설정되고 비트선(/BL)이 0 볼트로 설정된 때, pMOS 트랜지스터(19)는 온이고, 기입 회복 주기 동안 NAND 회로(17)에서 nMOS 트랜지스터(21)는 오프이다. 또한, NAND 회로(23)에서, 기입 회복 주기 동안, pMOS 트랜지스터(25)는 오프이고 nMOS 트랜지스터(27)는 온이다.

따라서, NAND 회로(17)의 출력 노드(22)의 전위는 전원 전압(VCC)으로 설정되고, NAND 회로(17)의 출력 노드(28)의 전위는 0 볼트로 설정된다. 그래서, pMOS 트랜지스터(7)는 오프로 유지되고, pMOS 트랜지스터(8)는 턴 온된다. 따라서, 기입 사이클 동안 0 볼트인 비트선(/BL)은 풀-업된다.

기입 회복 주기가 종료한 후, 기입 회복 신호(WR)는 0 볼트로 설정된다. NAND 회로(17)에서, pMOS 트랜지스터(18)는 턴 온 되고, nMOS 트랜지스터(20)는 턴 오프된다. 그래서, 출력 노드(22)의 전위는 전원 전압(VCC)으로 유지되고, pMOS 트랜지스터(7)는 오프 상태로 유지된다. 따라서, NAND 회로(23)에서, pMOS 트랜지스터(24)가 턴 온되고, nMOS 트랜지스터(26)가 턴 오프된다. 그래서, 출력 노드(28)의 전위

는 전원 전압(VCC)으로 설정되고, pMOS 트랜지스터(8)는 턴 오프된다.

반면, 기입 회복 주기 동안, 비트선(BL)의 전위가 0 볼트로 설정되고, 비트선(/BL)의 전위가 전원 전압(VCC)으로 설정될 때, 즉, 기입 데이터선(WD)의 전위가 0 볼트로 설정되고, 기입 데이터선(/WD)의 전위가 전원 전압(VCC)으로 설정될 때, 기입 회복 주기 동안, pMOS 트랜지스터(19)는 턴 오프되고 nMOS 트랜지스터(21)는 턴 온된다. 또한, NAND 회로(23)에서, pMOS 트랜지스터(25)는 턴 온되고, nMOS 트랜지스터(27)는 턴 오프된다.

그 결과, NAND 회로(17)의 출력 노드(22)는 0 볼트로 설정되고, NAND 회로(23)의 출력 노드(28)는 전원 전압(VCC)으로 설정된다. 따라서, pMOS 트랜지스터(8)는 오프 상태로 유지되고, pMOS 트랜지스터(7)는 턴 온된다. 따라서, 기입 사이클 동안 0 볼트인 비트선(BL)이 풀-업된다.

기입 회복 주기가 종료한 후, 기입 회복 신호(WR)이 0 볼트로 설정된다. NAND 회로(17)에서, pMOS 트랜지스터(18)가 턴 온되고, nMOS 트랜지스터(20)가 턴 오프된다. 따라서, 출력 노드(22)의 전위는 전원 전압(VCC)으로 설정되고, pMOS 트랜지스터(7)가 턴 오프된다. NAND 회로(23)에서, pMOS 트랜지스터(24)가 턴 온되고, nMOS 트랜지스터(26)가 턴 오프된다. 따라서, 출력 노드(28)의 전위는 전원 전압(VCC)으로 설정되고, pMOS 트랜지스터(8)는 오프 상태로 유지된다.

상기한 바와 같이, 제1 실시예에서, 기입 회복 주기 동안, 비트선(BL)이 전원 전압(VCC)으로 유지되고 비트선(/BL)이 0 볼트로 설정될 때, pMOS 트랜지스터(7)의 게이트 전압은 전원 전압으로 유지되고, pMOS 트랜지스터(8)의 게이트 전압이 VCC→0 볼트→VCC로 변화하여, pMOS 트랜지스터(8)의 게이트 용량만이 충전 및 방전된다. 즉, 기입 회복 동작을 수행하기 위해 pMOS 트랜지스터(8)만이 구동된다.

한편, 비트선(BL)이 0 볼트로 설정되고 비트선(/BL)이 전원 전압(VCC)으로 설정될 때, pMOS 트랜지스터(8)의 게이트 전압이 전원 전압(VCC)으로 유지되고 pMOS 트랜지스터(7)의 게이트 전압은 VCC→0 볼트→VCC로 변화하여, pMOS 트랜지스터(7)의 게이트 용량만이 충전 및 방전된다. 즉, 기입 회복 동작을 수행하기 위해 pMOS 트랜지스터(7)만이 구동된다.

비트선(/BL)이 0 볼트로 되어 기입 회복 동작이 수행될 때, pMOS 트랜지스터(18, 19, 24)와 nMOS 트랜지스터(20, 21, 26)의 게이트 용량이 충전 및 방전되어야 함을 주목해야 한다. 또한, 비트선(BL)이 0 볼트로 되어 기입 회복 동작이 수행될 때, pMOS 트랜지스터(18, 24, 25)와 nMOS 트랜지스터(20, 26, 27)의 게이트 용량이 충전 및 방전되어야 한다.

그러나, pMOS 트랜지스터(18, 19, 24)와 nMOS 트랜지스터(20, 21, 26)의 게이트의 전체 폭은, pMOS 트랜지스터(7)의 게이트 폭보다 작게 될 수 있고, pMOS 트랜지스터(18, 24, 25)와 nMOS 트랜지스터(20, 26, 27)의 게이트의 전체 폭은 pMOS 트랜지스터(8)의 게이트 폭보다 작게 될 수 있다.

따라서, 본 발명의 제1 실시예에 따라, 기입 회복 회로(15)에서 비트선(BL, /BL)을 풀-업하기 위한 트랜지스터인 pMOS 트랜지스터(7, 8)의 게이트 캐패시터를 위한 충전 및 방전 전류를 줄임으로써 스테틱 램의 전력 소비를 줄일 수 있다.

도 5를 참조하여 본 발명의 제2 실시예를 이하에 설명한다. 도 5는 본 발명의 제2 실시예에 의한 스테틱 램의 부분 회로도이다.

본 발명의 제2 실시예에 의한 스테틱 램의 구조는, 기입 회복 회로(31)로 대체된 기입 회복 회로(15)를 제외하고는 제1 실시예와 동일하다.

제2 실시예의 기입 회복 회로(31)의 구조는, 비트선(BL, /BL)을 풀-업하기 위한 트랜지스터 구동 회로(32)에 의해 대체된 트랜지스터 구동 회로(16)를 제외하고는 제1 실시예의 기입 회복 회로(15)와 동일하다.

트랜지스터 구동 회로(32)에서, pMOS 트랜지스터(33)는 pMOS 트랜지스터(7)와 관련하여 설치된다; nMOS 트랜지스터(34)는 pMOS 트랜지스터(7)와 관련하여 설치된다; pMOS 트랜지스터(35)는 pMOS 트랜지스터(8)와 관련하여 설치된다; 그리고, nMOS 트랜지스터(36)는 pMOS 트랜지스터(8)와 관련하여 설치된다.

pMOS 트랜지스터(33)의 소스는 VCC 전원선에 접속된다. pMOS 트랜지스터(33)의 드레인 출력 노드(37)에 접속된다. 기입 회복 신호(WR)가 pMOS 트랜지스터(33)의 게이트에 공급되어, pMOS 트랜지스터(33)의 온/오프 동작은 기입 회복 신호(WR)에 의해 제어된다. 출력 노드(37)는 pMOS 트랜지스터(7)의 게이트에 접속된다.

nMOS 트랜지스터(34)의 드레인은 출력 노드(37)에 접속된다. nMOS 트랜지스터(34)의 소스는 기입 데이터선(WD)에 접속된다. 기입 회복 신호(WR)는 nMOS 트랜지스터(34)의 게이트에 제공된다.

따라서, 기입 데이터선(WD)의 전위가 0 볼트이고 기입 회복 신호(WR)가 전원 전압(VCC)일 때, nMOS 트랜지스터(34)는 온이다. 기입 회복 신호(WR)가 0 볼트로 설정되거나 기입 데이터선(WD)의 전위가 전원 전압(VCC)이고 기입 회복 신호(WR)가 전원 전압(VCC)일 때, nMOS 트랜지스터(34)는 턴 오프된다.

pMOS 트랜지스터(35)의 소스는 VCC 전원선(4)에 접속된다. pMOS 트랜지스터(35)의 드레인은 출력 노드(38)에 접속된다. 기입 회복 신호(WR)는 pMOS 트랜지스터(35)의 게이트에 제공되어, pMOS 트랜지스터(35)의 온/오프 동작이 기입 회복 신호(WR)에 의해 제어된다. 출력 노드(38)는 pMOS 트랜지스터(8)의 게이트에 접속된다.

nMOS 트랜지스터(36)의 드레인은 출력 노드(38)에 접속된다. nMOS 트랜지스터(36)의 소스는 기입 데이터선(/WD)에 접속된다. 기입 회복 신호(WR)는 nMOS 트랜지스터(36)의 게이트에 제공된다.

따라서, 기입 데이터선(/WD)의 전위가 0 볼트이고 기입 회복 신호(WR)가 전원 전압(VCC)일 때, nMOS 트랜지스터(36)가 턴 온된다. 기입 회복 신호(WR)가 0 볼트이거나 기입 데이터선(/WD)이 전원 전압(VCC)일 때, nMOS 트랜지스터(36)가 턴 오프된다.

제2 실시예에서, 기입 사이클 동안 기입 회복 신호(WR)는 0 볼트로 설정된다. 그 결과, 기입 사이클 동안, pMOS 트랜지스터(33)는 온되고, nMOS 트랜지스터(34)는 오프되고, 출력 노드(37)의 전위는 전원 전압(VCC) 상태이고, 출력 노드(38)의 전위는 전원 전압(VCC) 상태이고, pMOS 트랜지스터(7)는 오프되고, pMOS 트랜지스터(8)는 오프이다.

반면, 기입 회복 주기 동안, 기입 회복 신호(WR)는 전원 전압(VCC)으로 설정된다. 따라서, pMOS 트랜지스터(33)는 턴 오프되고, pMOS 트랜지스터(35)는 턴 오프된다.

그 결과, 기입 사이클 동안, 비트선(BL)의 전위가 전원 전압(VCC)으로 설정되고 비트선(/BL)의 전위가 0 볼트로 설정될 때, 즉, 기입 데이터선(WD)의 전위가 전원 전압(VCC)이고 기입 데이터선(/WD)이 0 볼트일 때, nMOS 트랜지스터(34)는 턴 오프되고 nMOS 트랜지스터(36)는 턴 온된다.

따라서, 출력 노드(37)의 전위는 전원 전압(VCC)으로 유지되고, 출력 노드(38)의 전위는 0 볼트로 유지된다. 따라서, pMOS 트랜지스터(7)는 오프 상태로 유지되고, pMOS 트랜지스터(8)는 턴 온된다. 따라서, 기입 사이클 동안 0 볼트인 비트선(/BL)은 풀-업된다.

기입 회복 주기가 종료한 후, 기입 회복 신호(WR)는 턴 온되고, 출력 노드(37)의 전위는 전원 전압(VCC)으로 유지되고, pMOS 트랜지스터(7)는 오프 상태로 유지되고, pMOS 트랜지스터(35)는 턴 온된다. 따라서, 출력 노드(38)의 전위는 전원 전압(VCC)으로 유지되고, pMOS 트랜지스터(8)는 턴 오프된다.

한편, 기입 사이클 동안, 비트선(BL)의 전위가 0 볼트로 되고 비트선(/BL)의 전위가 전원 전압(VCC)으로 될 때, 즉, 기입 데이터선(WD)의 전위가 0 볼트로 되고 기입 데이터선(/WD)의 전위가 전원 전압(VCC)으로 될 때, 기입 회복 주기 동안 nMOS 트랜지스터(34)가 턴 온되고 nMOS 트랜지스터(36)가 턴 오프된다.

따라서, 출력 노드(38)의 전위가 전원 전압(VCC)으로 유지되고, 출력 노드(37)의 전위가 0 볼트로 설정된다. 따라서, pMOS 트랜지스터(8)가 오프 상태로 유지되고, pMOS 트랜지스터(7)가 턴 온된다. 따라서, 기입 사이클 동안 0 볼트인 비트선(BL)이 풀-업된다.

기입 회복 주기가 종료한 후, 기입 회복 신호(WR)가 0 볼트로 설정된다. 따라서, pMOS 트랜지스터(33)가 턴 온되고, 출력 노드(37)의 전위가 전원 전압(VCC)으로 설정되고, pMOS 트랜지스터(7)가 턴 오프되고, pMOS 트랜지스터(35)가 턴 온된다. 따라서, 출력 노드(38)의 전위는 전원 전압(VCC)으로 설정되고, pMOS 트랜지스터(8)가 오프 상태로 유지된다.

상기한 바와 같이, 본 발명의 제2 실시예에서, 기입 회복 주기 동안, 비트선(BL)이 전원 전압(VCC)으로 설정되고 비트선(/BL)이 0 볼트로 설정될 때, pMOS 트랜지스터(7)의 게이트 전압이 전원 전압(VCC) 상태로 유지되고 pMOS 트랜지스터(8)의 게이트 전압이 VCC→0 볼트→VCC로 변화하여, pMOS 트랜지스터(8)의 게이트 용량만이 충전 및 방전된다. 즉, pMOS 트랜지스터(8)만이 구동되어 기입 회복 동작이 수행된다.

한편, 비트선(BL)이 0 볼트로 설정되고 비트선(/BL)이 전원 전압(VCC)으로 설정될 때, pMOS 트랜지스터(8)의 게이트 전압이 전원 전압(VCC)으로 유지되고 pMOS 트랜지스터(7)의 게이트 전압이 VCC→0 볼트→VCC로 변화하여, pMOS 트랜지스터(7)의 게이트 용량만이 충전 및 방전된다. 즉, pMOS 트랜지스터(7)만이 구동되어 기입 회복 동작이 수행된다.

비트선(/BL)이 0 볼트로 되어 기입 회복 동작이 수행될 때, pMOS 트랜지스터(33, 35)와 nMOS 트랜지스터(34, 36)의 게이트 용량이 충전 및 방전된다. 그러나, pMOS 트랜지스터(33, 35)와 nMOS 트랜지스터(34, 36)의 게이트의 전체 폭이 각 pMOS 트랜지스터(7, 8)의 폭 보다 작게 될 수 있다.

예를 들어, 각 pMOS 트랜지스터(7, 8)의 게이트 폭이 18 $\mu$ m로 설정될 때, 각 pMOS 트랜지스터(33, 35)와 nMOS 트랜지스터(34, 36)의 게이트 폭은 2 $\mu$ m로 될 수 있다.

따라서, 본 발명의 제2 실시예에 따라, 기입 회복 회로(15)에서 비트선(BL, /BL)을 풀-업하기 위한 트랜지스터인 pMOS 트랜지스터(7, 8)의 게이트 용량에 대한 충전 및 방전 전류를 줄임으로써 스테틱 램의 전력 소비를 줄일 수 있다. 또한, 기입 회복 회로(31)를 간단한 구조로 구성할 수 있다.

본 발명의 제3 실시예를 도 6을 참조하여 이하에 설명한다. 도 6은 본 발명의 제3 실시예에 의한 스테틱 램의 부분 블록도이다. 제3 실시예는 최고 16 비트(bit) 데이터로 병렬 입력 및 출력을 수행할 수 있도록 구성된 것이다.

제 6 실시예에 의한 스테틱 램은, 도 6에 나타난 바와 같이, 16 데이터 입력 버퍼(42-1, 42-2, ..., 42-16)를 갖고 있다. 기입 데이터(DIN1, DIN2, ..., DIN16)는 각각 외부 데이터선을 통하여 외부 터미널(40-1, 40-2, ..., 40-16)로 입력된다. 입력 제어 신호(/WRC1, /WRC2, ..., /WRC16)는 외부 터미널(41-1, 41-2, ..., 41-16)로 각각 외부 기입 제어 신호선을 통하여 입력된다. 외부 터미널(40-1, 41-1)은 데이터 입력 버퍼(42-1)에 제공된다; 외부 터미널(40-2, 41-2)은 데이터 입력 버퍼(42-2)에 제공된다; ... ; 그리고, 외부 터미널(40-16, 41-16)은 데이터 입력 버퍼(42-16)에 제공된다. 한 쌍의 데이터 입력선(WD1, /WD1)은 데이터 입력 버퍼(42-1)에 접속된다; 한 쌍의 데이터 입력선(WD2, /WD2)은 데이터 입력 버퍼(42-2)에 접속된다; ... ; 그리고, 한 쌍의 데이터 입력선(WD16, /WD16)은 데이터 입력 버퍼(42-16)에 접속된다.

도 7은 데이터 입력 버퍼(42-1)의 회로도이다. 다른 데이터 입력 버퍼(42-2, 42-3, ..., 42-16)는 동일한 구조를 갖는다. 도 7에 나타난 바와 같이, 기입 제어 신호(/WRC1)는 인버터(44)에 의해 변환된다. 인버터(44)의 출력과 데이터 전송 신호(DLT)는 NAND 회로(45)에 의한 NAND 동작에 따른 것이다.

기입 데이터(DIN1)는 외부 터미널(40)로부터 인버터(47)로 입력된다. 기입 데이터(DIN1)는 인버터(47)에 의해 변환되며, 인버터(48)와 pMOS 트랜지스터(49)의 출력이다. 인버터(48)의 출력은 pMOS 트랜지스터(50)로의 입력이다. pMOS 트랜지스터(49)의 온/오프 동작이 NAND 회로(45)의 출력에 의해 제어되며, 인버터(47) 출력의 전송을 제어한다. pMOS 트랜지스터(50)의 온/오프 동작이 NAND 회로(45)의 출력에 의해 제어되며, 인버터(48) 출력의 전송을 제어한다.

pMOS 트랜지스터(49)를 통하여 공급된 인버터(49)의 출력은 래치 회로(latch circuit)(51)에 의해 래치(latch)된다. 래치 회로(51)는 인버터(52)와 NOR 회로(53)를 포함한다. NOR 회로(53)는 인버터(52)의 출력과 NAND 회로(46)의 출력 상에서 NOR 동작을 수행한다. 래치 회로(51)의 출력은 인버터(54)에 의해 변환된다. 인버터(54)의 출력은 인버터(55)에 의해 변환되어 기입 데이터선(WD1)을 구동한다.

pMOS 트랜지스터(50)를 통하여 공급된 인버터(48)의 출력은 래치 회로(latch circuit)(56)에 의해 래치(latch)된다. 래치 회로(56)는 인버터(57)와 NOR 회로(58)를 포함한다. NOR 회로(58)는 인버터(57)의 출력과 NAND 회로(46)의 출력에 대한 NOR 동작을 수행한다. 래치 회로(56)의 출력은 인버터(59)에 의해 변환된다. 인버터(59)의 출력은 인버터(60)에 의해 변환되어 기입 데이터선(WD1)을 구동한다.

도 8은 데이터 입력 버퍼의 동작을 설명하기 위한 파형도이다. 도 8은 기입 제어 신호(WRC1)가 L 레벨에 있는 경우를 나타낸다. 즉, 데이터 입력 버퍼(42-1)가 활성화되어 기입 데이터(DINI)를 입력한다.

이 경우, 인버터(44)의 출력은 H 레벨로 설정되어, NAND 회로(45)는 데이터 전송 신호(DLT)에 대하여 인버터로서 기능하고, NAND 회로(46)가 데이터 리셋 신호(DLR)에 대하여 인버터로서 기능한다.

기입 사이클 동안, 먼저 데이터 리셋 신호(DLR)가 H 레벨로 설정되고, 데이터 전송 신호(DLT) 역시 H 레벨로 설정된다. 따라서, NAND 회로(45)의 출력은 L 레벨로 설정되고, pMOS 트랜지스터(49)는 턴 온되고, pMOS 트랜지스터(50)도 턴 온된다.

또한, NAND 회로(46)의 출력은 L 레벨로 설정되어, NOR 회로(53)는 인버터(52)의 출력에 대해 인버터로서 기능하고, NOR 회로(58)는 인버터(57)의 출력에 대해 인버터로서 기능한다.

상기한 상태에서, 기입 데이터(DINI)가 H 레벨로 설정될 때, 인버터(47)의 출력은 L 레벨로 설정되고, 인버터(52)의 출력은 H 레벨로 설정되고, 인버터(54)의 출력은 L 레벨로 설정되고, 인버터(55)의 출력은 H 레벨로 설정되고, 기입 데이터선(WD1)의 전위는 H 레벨로 설정된다. 또한, 인버터(48)의 출력은 H 레벨로 설정되고, 인버터(57)의 출력은 L 레벨로 설정되고, 인버터(59)의 출력은 H 레벨로 설정되고, 인버터(60)의 출력은 L 레벨로 설정되고, 기입 데이터선(WD1)의 전위는 L 레벨로 설정된다.

다음에, 데이터 전송 신호(DLT)는 L 레벨로 설정되어, NAND 회로(45)의 출력은 H 레벨로 설정되고, pMOS 트랜지스터(49)는 턴 오프되고, pMOS 트랜지스터(50)도 턴 오프된다. 따라서, 래치 회로(51, 56) 각각은 래치 동작을 수행하여, 래치 회로(51)의 출력은 H 레벨로 유지되고, 래치 회로(56)의 출력은 L 레벨로 유지된다.

다음에, 데이터선 리셋 신호(DLR)는 L 레벨로 설정된다. 따라서, NAND 회로(46)의 출력은 H 레벨로 설정되고, NOR 회로(58)의 출력은 L 레벨로 설정되고, 인버터(57)의 출력은 H 레벨로 설정되고, 인버터(59)의 출력은 L 레벨로 설정되고, 인버터(60)의 출력은 H 레벨로 설정되고, 기입 데이터선(WD1)의 전위는 H 레벨로 설정된다.

한편, 기입 데이터(DINI)가 L 레벨로 설정될 때, 인버터(47)의 출력은 H 레벨로 설정되고, 인버터(52)의 출력은 L 레벨로 설정되고, 인버터(54)의 출력은 H 레벨로 설정되고, 인버터(55)의 출력은 L 레벨로 설정되고, 기입 데이터선(WD1)의 전위는 L 레벨로 설정된다. 또한, 인버터(48)의 출력은 L 레벨로 설정되고, 인버터(57)의 출력은 H 레벨로 설정되고, 인버터(59)의 출력은 L 레벨로 설정되고, 인버터(60)의 출력은 H 레벨로 설정되고, 기입 데이터선(WD1)의 전위는 H 레벨로 설정된다.

다음에, 데이터 전송 신호(DLT)는 L 레벨로 설정되어, NAND 회로(45)의 출력은 H 레벨로 설정되고, pMOS 트랜지스터(49)는 턴 오프되고, pMOS 트랜지스터(50)는 턴 오프된다. 따라서, 각 래치 회로(51, 56)는 래치 동작을 수행하여, 래치 회로(51)의 출력은 L 레벨로 유지되고, 래치 회로(56)의 출력은 H 레벨로 유지된다.

다음에, 데이터선 리셋 신호(DLR)는 L 레벨로 설정된다. 따라서, NAND 회로(46)의 출력은 H 레벨로 설정되고, NOR 회로(53)의 출력은 L 레벨로 설정되고, 인버터(52)의 출력은 H 레벨로 설정되고, 인버터(54)의 출력은 L 레벨로 설정되고, 인버터(55)의 출력은 H 레벨로 설정되고, 기입 데이터선(WD1)의 전위는 H 레벨로 설정된다.

한편, 데이터 입력 버퍼(42-1)는 활성화되지 않고 기입 데이터(DINI)가 입력되지 않을 때, 기입 제어 신호(WRC1)는 H 레벨로 설정된다. 따라서, 인버터(44)의 출력은 L 레벨로 설정되고, NAND 회로(45)의 출력은 H 레벨로 설정되고, pMOS 트랜지스터(49)는 턴 오프되고, pMOS 트랜지스터(50)는 턴 오프된다.

또한, 이 경우에, NAND 회로(46)의 출력은 H 레벨로 설정된다. 따라서, NOR 회로(53)의 출력은 L 레벨로 설정되고, 인버터(52)의 출력은 H 레벨로 설정되고, 인버터(54)의 출력은 L 레벨로 설정되고, 인버터(55)의 출력은 H 레벨로 설정된다. 따라서, 기입 데이터선(WD1)의 전위는 H 레벨로 설정된다. 또한, NOR 회로(58)의 출력은 L 레벨로 설정되고, 인버터(57)의 출력은 H 레벨로 설정되고, 인버터(59)의 출력은 L 레벨로 설정되고, 인버터(60)의 출력은 H 레벨로 설정된다. 따라서, 기입 데이터선(WD1)의 전위는 H 레벨로 설정된다.

상기한 바와 같이, 본 발명의 제3 실시예에서, 데이터 입력 버퍼(42-1, 42-2, ..., 42-16)는 개개의 기입 제어 신호(WRC1, WRC2, ..., WRC16)에 의해 활성화 될 수 있다. 따라서, 입력 데이터 버퍼(42-1, 42-2, ..., 42-16) 중에서 임의의 입력 데이터 버퍼만이 활성화 될 수 있다.

따라서, 16 비트의 데이터 중 임의의 비트를 재기입 해야 한다면, 원하는 비트를 재기입하기 위해 전체 16 비트 데이터를 판독하고 16 비트 데이터를 다시 기입하는 불필요한 동작을 수행할 필요가 없다. 즉, 원하는 비트에 상응하는 한 쌍의 기입 데이터 선만을 활성화함으로써 원하는 비트를 재기입할 수 있다.

따라서, 본 발명의 제3 실시예에 따라, 기입 데이터선 쌍(WD1과 WD1, WD2와 WD2, ..., WD16과 WD16)에 대한 충전 및 방전 전류를 줄임으로써 전력 소비를 줄일 수 있다.

본 발명의 제4 실시예를 이하에 설명한다. 도 9는 본 발명의 제4 실시예에 의한 반도체 집적 회로의 블

로도이다. 반도체 집적 회로는, 트랜스시버(121), 수신기(125), 데이터 예비충전 회로(data precharge circuit)(120)를 포함한다. 트랜스시버(121)와 수신기(125)는 병렬로 배열된 데이터선(L0, L1, L2, L3)에 접속되어 있다. 데이터 예비충전 회로(120)는 데이터선(L0, L1, L2, L3)을 예비충전(precharge)한다.

트랜스시버(121)는 상보 회로(122, 123)와 엔코더(124)를 포함한다. 전송될 데이터(B0, B1)는 각각 상보 회로(122, 123)에 입력된다. 상보 회로(122)는 데이터(B0)를 b0의 변환된 로직 레벨을 갖는 데이터(b0 및 /b0)로 변환한다. 상보 회로(123)는 데이터(B1)를 변환된 로직 레벨을 갖는 데이터(b1 및 /b1)로 변환한다. 표 2는 상보 회로(122)의 기능을 나타내고, 표 3은 상보 회로(123)의 기능을 나타낸다.

[표 2]

B0	b0	/b0
L	L	H
H	H	L

[표 3]

B1	b1	/b1
L	L	H
H	H	L

엔코더(124)는 상보 데이터(b0, /b0, b1, /b1)를 엔코드(encode)하여 데이터선(L0, L1, L2, L3)을 구동한다. 엔코더는 다음과 같이 동작한다.

상보 데이터가 b0=L, /b0=H, b1=L, /b1=H일 때, 엔코더(124)는 데이터선(L1, L2, L3)을 플로팅(floating) 상태로 유지하고 데이터선(L0)을 방전한다. 상보 데이터가 b0=L, /b0=H, b1=H, /b1=L일 때, 엔코더(124)는 데이터선(L0, L1, L3)을 플로팅 상태로 유지하고 데이터선(L2)을 방전한다. 상보 데이터가 b0=H, /b0=L, b1=H, /b1=L일 때, 엔코더(124)는 데이터선(L0, L1, L2)을 플로팅 상태로 유지하고 데이터선(L3)을 방전한다.

따라서, 데이터(B0, B1)의 로직 레벨과 상보 데이터(b0, /b0과 b1, /b1)의 로직 레벨간의 관계는 표 4와 같이 표현된다.

[표 4]

B0	B1	b0	/b0	b1	/b1	L0	L1	L2	L3
L	L	L	H	L	H	L	H	H	H
H	L	H	L	H	H	H	L	H	H
L	H	L	H	H	L	H	H	L	H
H	H	H	L	H	L	H	H	H	L

수신기(125)는 데이터선(L0, L1, L2, L3)을 통하여 전송된 데이터를 수신한다. 수신기(125)는 디코더(126)와 유니타이징 회로(unitizing circuit)(127, 128)를 포함한다.

디코더(126)는 데이터선(L0, L1, L2, L3)의 로직 레벨을 디코드(decode)하여, 상보 데이터(b0, /b0, b1, /b1)를 재생한다. 유니타이징 회로(127)는 상보 데이터(b0 및 /b0)를 전송될 데이터(B0)로 유니트화 한다. 유니타이징 회로(128)는 상보 데이터(b1 및 /b1)를 전송될 데이터(B1)로 유니트화 한다.

본 발명의 제4 실시예에 따라, 데이터(B0, B1)가 전송될 때, 데이터(B0, B1)를 상보 데이터(b0, /b0과 b1, /b1)로 변환한다. 그러나, 데이터는 전원 전압(VCC)으로 프리차지된 데이터선(L0, L1, L2, L3)중 하나만을 방전하여 전송되므로, 데이터선(L0, L1, L2, L3)의 전력 소비는 감소한다. 종래 회로에서, 상보 데이터가 전송된 후, 두 개의 데이터선이 방전되어야 함에 주목해야 한다.

본 발명의 제5 실시예를 설명한다. 도 10은 본 발명의 제5 실시예에 의한 반도체 집적 회로의 부분 회로도이다. 도 10에서, 데이터를 전송하기 위해 설치된 데이터선(L0, L1, L2, L3)은 병렬로 배열되어 있다. 제5 실시예에 의한 반도체 집적 회로는 예비충전 회로(130), 트랜스시버(133-0, 133-1, 133-2, 133-3), 수신기(142)를 포함한다.

예비충전 회로(130)는 데이터의 전송에 앞서 데이터선(L0, L1, L2, L3)을 전원 전압(VCC)으로 프리차지한다. 예비충전 회로(130)는 VCC 전원선(131)에 접속된 pMOS 트랜지스터(132-0, 132-1, 132-2, 132-3)를 포함한다. 각 pMOS 트랜지스터(132-0, 132-1, 132-2, 132-3)의 온/오프 동작은 데이터선 예비충전 신호(PC)에 의해 제어된다.

pMOS 트랜지스터(132-0)의 소스는 VCC 전원선(131)에 접속되어 있고, pMOS 트랜지스터(132-0)의 드레인은 데이터선(L0)에 접속되어 있다. pMOS 트랜지스터(132-1)의 소스는 VCC 전원선(131)에 접속되어 있고, pMOS 트랜지스터(132-1)의 드레인은 데이터선(L1)에 접속되어 있다. pMOS 트랜지스터(132-2)의 소스는 VCC 전원선(131)에 접속되어 있고, pMOS 트랜지스터(132-2)의 드레인은 데이터선(L2)에 접속되어 있다. pMOS 트랜지스터(132-3)의 소스는 VCC 전원선(131)에 접속되어 있고, pMOS 트랜지스터(132-3)의 드레인은 데이터선(L3)에 접속되어 있다.



트랜스시버(133-0, 133-1, 133-2, 133-3)는 데이터 입력을 전송한다. 트랜스시버(133-0)는 데이터(B00, B01)를 전송한다. 트랜스시버(133-1)는 데이터(B10, B11)를 전송한다. 트랜스시버(133-2)는 데이터(B20, B21)를 전송한다. 트랜스시버(133-3)는 데이터(B30, B31)를 전송한다.

트랜스시버(133-0)는 엔코더(ENC)(134)와 각각 출력 회로를 구성하는 nMOS 트랜지스터(135-0, 135-1, 135-2, 135-3)를 포함한다. 엔코더(134)의 활성화 및 비활성화는 엔코더 활성화 신호(EN0)에 의해 제어된다. 엔코더(134)가 활성화되면, 전송할 데이터(B00, B01)가 엔코드되어, 다음의 표 5와 같은 출력 제어 신호(S00, S01, S02, S03)를 생성한다. 엔코더(134)가 비활성화되면, 출력 제어 신호(S00, S01, S02, S03)가 L 레벨로 설정된다.

[표 5]

B00	B01	S00	S01	S02	S03
L	L	H	L	L	L
H	L	L	H	L	L
L	H	L	L	H	L
H	H	L	L	L	H

출력 제어 신호(S00)에 의해 nMOS 트랜지스터(135-0)의 온/오프 동작이 제어된다. 출력 제어 신호(S01)에 의해 nMOS 트랜지스터(135-1)의 온/오프 동작이 제어된다. 출력 제어 신호(S02)에 의해 nMOS 트랜지스터(135-2)의 온/오프 동작이 제어된다. 출력 제어 신호(S03)에 의해 nMOS 트랜지스터(135-3)의 온/오프 동작이 제어된다.

nMOS 트랜지스터(135-0)의 드레인선 데이터선(L0)에 접속되고, nMOS 트랜지스터(135-0)의 소스는 접지선에 접속된다. nMOS 트랜지스터(135-1)의 드레인선 데이터선(L1)에 접속되고, nMOS 트랜지스터(135-1)의 소스는 접지선에 접속된다. nMOS 트랜지스터(135-2)의 드레인선 데이터선(L2)에 접속되고, nMOS 트랜지스터(135-2)의 소스는 접지선에 접속된다. nMOS 트랜지스터(135-3)의 드레인선 데이터선(L3)에 접속되고, nMOS 트랜지스터(135-3)의 소스는 접지선에 접속된다.

따라서, 트랜스시버(133-0)가 선택되고 엔코더(134)가 활성 상태로 설정되면, 데이터(B00, B01)의 로직 레벨과 출력 제어 신호(S00, S01, S02, S03)의 로직 레벨간의 관계는 다음의 표 6과 같이 표현된다.

[표 6]

B00	B01	S00	S01	S02	S03	L0	L1	L2	L3
L	L	H	L	L	L	L	H	H	H
H	L	L	H	L	L	H	L	H	H
L	H	L	L	H	L	H	H	L	H
H	H	L	L	L	H	H	H	H	L

트랜스시버(133-1)는 엔코더(ENC)(136)와 각각 출력 회로를 구성하는 nMOS 트랜지스터(137-0, 137-1, 137-2, 137-3)를 포함한다. 엔코더(136)의 활성화 및 비활성화는 엔코더 활성화 신호(EN0)에 의해 제어된다. 엔코더(136)가 활성화되면, 전송할 데이터(B10, B11)가 엔코드되어, 다음의 표 7과 같은 출력 제어 신호(S10, S11, S12, S13)를 생성한다. 엔코더(136)가 비활성화되면, 출력 제어 신호(S10, S11, S12, S13)가 L 레벨로 설정된다.

[표 7]

B10	B11	S10	S11	S12	S13
L	L	H	L	L	L
H	L	L	H	L	L
L	H	L	L	H	L
H	H	L	L	L	H

출력 제어 신호(S10)에 의해 nMOS 트랜지스터(137-0)의 온/오프 동작이 제어된다. 출력 제어 신호(S11)에 의해 nMOS 트랜지스터(137-1)의 온/오프 동작이 제어된다. 출력 제어 신호(S12)에 의해 nMOS 트랜지스터(137-2)의 온/오프 동작이 제어된다. 출력 제어 신호(S13)에 의해 nMOS 트랜지스터(137-3)의 온/오프 동작이 제어된다.

nMOS 트랜지스터(137-0)의 드레인선 데이터선(L0)에 접속되고, nMOS 트랜지스터(137-0)의 소스는 접지선에 접속된다. nMOS 트랜지스터(137-1)의 드레인선 데이터선(L1)에 접속되고, nMOS 트랜지스터(137-1)의 소스는 접지선에 접속된다. nMOS 트랜지스터(137-2)의 드레인선 데이터선(L2)에 접속되고, nMOS 트랜지스터(137-2)의 소스는 접지선에 접속된다. nMOS 트랜지스터(137-3)의 드레인선 데이터선(L3)에 접속되고, nMOS 트랜지스터(137-3)의 소스는 접지선에 접속된다.

따라서, 트랜스시버(133-1)가 선택되고 엔코더(136)가 활성 상태로 설정되면, 데이터(B10, B11)의 로직 레벨과 출력 제어 신호(S10, S11, S12, S13)의 로직 레벨간의 관계는 다음의 표 8과 같이 표현된다.



[표 8]

B10	B11	S10	S11	S12	S13	L0	L1	L2	L3
L	L	H	L	L	L	L	H	H	H
H	L	L	H	L	L	H	L	H	H
L	H	L	L	H	L	H	H	L	H
H	H	L	L	L	H	H	H	H	L

트랜스시버(133-2)는 엔코더(ENC)(138)와 각각 출력 회로를 구성하는 nMOS 트랜지스터(139-0, 139-1, 139-2, 139-3)를 포함한다. 엔코더(138)의 활성화 및 비활성화는 엔코더 활성화 신호(EN0)에 의해 제어된다. 엔코더(138)가 활성화되면, 전송될 데이터(B20, B21)가 엔코드되어, 다음의 표 9와 같은 출력 제어 신호(S20, S21, S22, S23)를 생성한다. 엔코더(138)가 비활성화되면, 출력 제어 신호(S20, S21, S22, S23)가 L 레벨로 설정된다.

[표 9]

B20	B21	S20	S21	S22	S23
L	L	H	L	L	L
H	L	L	H	L	L
L	H	L	L	H	L
H	H	L	L	L	H

출력 제어 신호(S20)에 의해 nMOS 트랜지스터(139-0)의 온/오프 동작이 제어된다. 출력 제어 신호(S21)에 의해 nMOS 트랜지스터(139-1)의 온/오프 동작이 제어된다. 출력 제어 신호(S22)에 의해 nMOS 트랜지스터(139-2)의 온/오프 동작이 제어된다. 출력 제어 신호(S23)에 의해 nMOS 트랜지스터(139-3)의 온/오프 동작이 제어된다.

nMOS 트랜지스터(139-0)의 드레인선 데이터선(L0)에 접속되고, nMOS 트랜지스터(139-0)의 소스는 접지선에 접속된다. nMOS 트랜지스터(139-1)의 드레인선 데이터선(L1)에 접속되고, nMOS 트랜지스터(139-1)의 소스는 접지선에 접속된다. nMOS 트랜지스터(139-2)의 드레인선 데이터선(L2)에 접속되고, nMOS 트랜지스터(139-2)의 소스는 접지선에 접속된다. nMOS 트랜지스터(139-3)의 드레인선 데이터선(L3)에 접속되고, nMOS 트랜지스터(139-3)의 소스는 접지선에 접속된다.

따라서, 트랜스시버(133-2)가 선택되고 엔코더(138)가 활성 상태로 설정되면, 데이터(B20, B21)의 로직 레벨과 출력 제어 신호(S20, S21, S22, S23)의 로직 레벨간의 관계는 다음의 표 10과 같이 표현된다.

[표 10]

B20	B21	S20	S21	S22	S23	L0	L1	L2	L3
L	L	H	L	L	L	L	H	H	H
H	L	L	H	L	L	H	L	H	H
L	H	L	L	H	L	H	H	L	H
H	H	L	L	L	H	H	H	H	L

트랜스시버(133-3)는 엔코더(ENC)(140)와 각각 출력 회로를 구성하는 nMOS 트랜지스터(141-0, 141-1, 141-2, 141-3)를 포함한다. 엔코더(140)의 활성화 및 비활성화는 엔코더 활성화 신호(EN0)에 의해 제어된다. 엔코더(140)가 활성화되면, 전송될 데이터(B30, B31)가 엔코드되어, 다음의 표 11과 같은 출력 제어 신호(S30, S31, S32, S33)를 생성한다. 엔코더(140)가 비활성화되면, 출력 제어 신호(S30, S31, S32, S33)가 L 레벨로 설정된다.

[표 11]

B30	B31	S30	S31	S32	S33
L	L	H	L	L	L
H	L	L	H	L	L
L	H	L	L	H	L
H	H	L	L	L	H

출력 제어 신호(S30)에 의해 nMOS 트랜지스터(141-0)의 온/오프 동작이 제어된다. 출력 제어 신호(S31)에 의해 nMOS 트랜지스터(141-1)의 온/오프 동작이 제어된다. 출력 제어 신호(S32)에 의해 nMOS 트랜지스터(141-2)의 온/오프 동작이 제어된다. 출력 제어 신호(S33)에 의해 nMOS 트랜지스터(141-3)의 온/오프 동작이 제어된다.

nMOS 트랜지스터(141-0)의 드레인선 데이터선(L0)에 접속되고, nMOS 트랜지스터(141-0)의 소스는 접지선

에 접속된다. nMOS 트랜지스터(141-1)의 드레인은 데이터선(L1)에 접속되고, nMOS 트랜지스터(141-1)의 소스는 접지선에 접속된다. nMOS 트랜지스터(141-2)의 드레인은 데이터선(L2)에 접속되고, nMOS 트랜지스터(141-2)의 소스는 접지선에 접속된다. nMOS 트랜지스터(141-3)의 드레인은 데이터선(L3)에 접속되고, nMOS 트랜지스터(141-3)의 소스는 접지선에 접속된다.

따라서, 트랜스시버(133-3)가 선택되고 엔코더(140)가 활성 상태로 설정되면, 데이터(B30, B31)의 로직 레벨과 출력 제어 신호(S30, S31, S32, S33)의 로직 레벨간의 관계는 다음의 표 12와 같이 표현된다.

[표 12]

B30	B31	S30	S31	S32	S33	L0	L1	L2	L3
L	L	H	L	L	L	L	H	H	H
H	L	L	H	L	L	H	L	H	H
L	H	L	L	H	L	H	H	L	H
H	H	L	L	L	H	H	H	H	L

수신기(142)는 데이터선(L0, L1, L2, L3)의 로직 레벨을 디코딩하여, 전송될 데이터(B0, B1)를 재생한다. 다음의 표 13은 수신기(142)의 기능을 나타낸다.

[표 13]

L0	L1	L2	L3	B0	B1
L	H	H	H	L	L
H	L	H	H	H	L
H	H	L	H	L	H
H	H	H	L	H	H

본 발명의 제5 실시예에 따라서, 전원 전압(VCC)으로 프리차지된 데이터선(L0, L1, L2, L3) 중 하나를 방전하여, 데이터 쌍(B00과 B01, B10과 B11, B20과 B21, B30과 B31)중 하나가 선택적으로 전송된다. 또한, 상응하는 데이터선(L0, L1, L2, L3)의 하나를 구동하는 각각의 출력 회로는 인버터가 아니고, 예를 들어 네 개의 nMOS 트랜지스터(135-0 내지 135-3)를 포함하는 개방 드레인 회로이다. 따라서, 데이터선(L0, L1, L2, L3)에 제공되는 출력 중계의 용량이 감소한다. 그래서, 데이터선(L0, L1, L2, L3)의 전력 소비는 더욱 감소할 수 있다.

이하에 본 발명의 제6 실시예를 설명한다. 도 11은 본 발명의 제6 실시예에 의한 반도체 집적 회로의 부분 회로도이다. 도 11에서, 데이터를 전송하기 위해 설치된 데이터선(L0, L1, L2, L3)은 병렬로 배열되어 있다. 제6 실시예에 의한 반도체 집적 회로는 프리차지 회로(144), 트랜스시버(147-0, 147-1, 147-2, 147-3), 수신기(156)를 포함한다.

예비충전 회로(144)는 데이터의 전송에 앞서 데이터선(L0, L1, L2, L3)을 전원 전압(VCC)으로 프리차지한다. 예비충전 회로(144)는 VCC 전원선(145)에 접속된 pMOS 트랜지스터(146-0, 146-1, 146-2, 146-3)를 포함한다. 각 pMOS 트랜지스터(146-0, 146-1, 146-2, 146-3)의 온/오프 동작은 데이터선 예비충전 신호(PC)에 의해 제어된다.

pMOS 트랜지스터(146-0)의 소스는 VCC 전원선(145)에 접속되어 있고, pMOS 트랜지스터(146-0)의 드레인은 데이터선(L0)에 접속되어 있다. pMOS 트랜지스터(146-1)의 소스는 VCC 전원선(145)에 접속되어 있고, pMOS 트랜지스터(146-1)의 드레인은 데이터선(L1)에 접속되어 있다. pMOS 트랜지스터(146-2)의 소스는 VCC 전원선(145)에 접속되어 있고, pMOS 트랜지스터(146-2)의 드레인은 데이터선(L2)에 접속되어 있다. pMOS 트랜지스터(146-3)의 소스는 VCC 전원선(145)에 접속되어 있고, pMOS 트랜지스터(146-3)의 드레인은 데이터선(L3)에 접속되어 있다.

트랜스시버(147-0, 147-1, 147-2, 147-3)는 데이터 입력을 전송한다. 트랜스시버(147-0)는 데이터(B00, B01)를 전송한다. 트랜스시버(147-1)는 데이터(B10, B11)를 전송한다. 트랜스시버(147-2)는 데이터(B20, B21)를 전송한다. 트랜스시버(147-3)는 데이터(B30, B31)를 전송한다.

트랜스시버(147-0)는 엔코더(ENC)(148)와 각각 출력 회로를 구성하는 nMOS 트랜지스터(147-0, 147-1, 147-2, 147-3)를 포함한다. 엔코더(148)의 활성화 및 비활성화는 엔코더 활성화 신호(EN0)에 의해 제어된다. 엔코더(148)가 활성화되면, 전송될 데이터(B00, B01)가 엔코드되어, 다음의 표 14와 같은 출력 제어 신호(P00, P01, P02, P03)를 생성한다. 엔코더(148)가 비활성화되면, 출력 제어 신호(P00, P01, P02, P03)가 H 레벨로 설정된다.

[표 14]

B00	B01	P00	P01	P02	P03
L	L	L	H	H	H
H	L	H	L	H	H
L	H	H	H	L	H
H	H	H	H	H	L

출력 제어 신호(P00)에 의해 nMOS 트랜지스터(149-0)의 온/오프 동작이 제어된다. 출력 제어 신호(P01)에 의해 nMOS 트랜지스터(149-1)의 온/오프 동작이 제어된다. 출력 제어 신호(P02)에 의해 nMOS 트랜지스터(149-2)의 온/오프 동작이 제어된다. 출력 제어 신호(P03)에 의해 nMOS 트랜지스터(149-3)의 온/오프 동작이 제어된다.

nMOS 트랜지스터(149-0)의 소스는 데이터선(L0)에 접속되고, nMOS 트랜지스터(149-0)의 드레인은 접지선에 접속된다. nMOS 트랜지스터(149-1)의 소스는 데이터선(L1)에 접속되고, nMOS 트랜지스터(149-1)의 드레인은 접지선에 접속된다. nMOS 트랜지스터(149-2)의 소스는 데이터선(L2)에 접속되고, nMOS 트랜지스터(149-2)의 드레인은 접지선에 접속된다. nMOS 트랜지스터(149-3)의 소스는 데이터선(L3)에 접속되고, nMOS 트랜지스터(149-3)의 드레인은 접지선에 접속된다.

따라서, 트랜스시버(147-0)가 선택되고 엔코더(148)가 활성 상태로 설정되면, 데이터(B00, B01)의 로직 레벨과 출력 제어 신호(P00, P01, P02, P03)의 로직 레벨간의 관계는 다음의 표 15와 같이 표현된다.

[표 15]

B00	B01	S00	S01	S02	S03	L0	L1	L2	L3
L	L	L	H	H	H	L	H	H	H
H	L	H	L	H	H	H	L	H	H
L	H	H	H	L	H	H	H	L	H
H	H	H	H	H	L	H	H	H	L

트랜스시버(147-1)는 엔코더(ENC)(150)와 각각 출력 회로를 구성하는 nMOS 트랜지스터(151-0, 151-1, 151-2, 151-3)를 포함한다. 엔코더(150)의 활성화 및 비활성화는 엔코더 활성화 신호(EN0)에 의해 제어된다. 엔코더(150)가 활성화되면, 전송될 데이터(B10, B11)가 엔코드되어, 다음의 표 16과 같은 출력 제어 신호(P10, P11, P12, P13)를 생성한다. 엔코더(150)가 비활성화되면, 출력 제어 신호(P10, P11, P12, P13)가 H 레벨로 설정된다.

[표 16]

B10	B11	P10	P11	P12	P13
L	L	L	H	H	H
H	L	H	L	H	H
L	H	H	H	L	H
H	H	H	H	H	L

출력 제어 신호(P10)에 의해 nMOS 트랜지스터(151-0)의 온/오프 동작이 제어된다. 출력 제어 신호(P11)에 의해 nMOS 트랜지스터(151-1)의 온/오프 동작이 제어된다. 출력 제어 신호(P12)에 의해 nMOS 트랜지스터(151-2)의 온/오프 동작이 제어된다. 출력 제어 신호(P13)에 의해 nMOS 트랜지스터(151-3)의 온/오프 동작이 제어된다.

nMOS 트랜지스터(151-0)의 소스는 데이터선(L0)에 접속되고, nMOS 트랜지스터(151-0)의 드레인은 접지선에 접속된다. nMOS 트랜지스터(151-1)의 소스는 데이터선(L1)에 접속되고, nMOS 트랜지스터(151-1)의 드레인은 접지선에 접속된다. nMOS 트랜지스터(151-2)의 소스는 데이터선(L2)에 접속되고, nMOS 트랜지스터(151-2)의 드레인은 접지선에 접속된다. nMOS 트랜지스터(151-3)의 소스는 데이터선(L3)에 접속되고, nMOS 트랜지스터(151-3)의 드레인은 접지선에 접속된다.

따라서, 트랜스시버(147-1)가 선택되고 엔코더(150)가 활성 상태로 설정되면, 데이터(B10, B11)의 로직 레벨과 출력 제어 신호(P10, P11, P12, P13)의 로직 레벨간의 관계는 다음의 표 17과 같이 표현된다.

[표 17]

B10	B11	P10	P11	P12	P13	L0	L1	L2	L3
L	L	L	H	H	H	L	H	H	H
H	L	H	L	H	H	H	L	H	H
L	H	H	H	L	H	H	H	L	H
H	H	H	H	H	L	H	H	H	L

트랜스시버(147-2)는 엔코더(ENC)(152)와 각각 출력 회로를 구성하는 nMOS 트랜지스터(153-0, 153-1, 153-2, 153-3)를 포함한다. 엔코더(152)의 활성화 및 비활성화는 엔코더 활성화 신호(EN0)에 의해 제어된다. 엔코더(152)가 활성화되면, 전송될 데이터(B20, B21)가 엔코드되어, 다음의 표 18과 같은 출력 제어 신호(P20, P21, P22, P23)를 생성한다. 엔코더(152)가 비활성화되면, 출력 제어 신호(P20, P21, P22, P23)가 H 레벨로 설정된다.

[표 18]

B20	B21	P20	P21	P22	P23
L	L	L	H	H	H
H	L	H	L	H	H
L	H	H	H	L	H
H	H	H	H	H	L

출력 제어 신호(P20)에 의해 nMOS 트랜지스터(153-0)의 온/오프 동작이 제어된다. 출력 제어 신호(P21)에 의해 nMOS 트랜지스터(153-1)의 온/오프 동작이 제어된다. 출력 제어 신호(P22)에 의해 nMOS 트랜지스터(153-2)의 온/오프 동작이 제어된다. 출력 제어 신호(P23)에 의해 nMOS 트랜지스터(153-3)의 온/오프 동작이 제어된다.

nMOS 트랜지스터(153-0)의 소스는 데이터선(L0)에 접속되고, nMOS 트랜지스터(153-0)의 드레인온 접지선에 접속된다. nMOS 트랜지스터(153-1)의 소스는 데이터선(L1)에 접속되고, nMOS 트랜지스터(153-1)의 드레인온 접지선에 접속된다. nMOS 트랜지스터(153-2)의 소스는 데이터선(L2)에 접속되고, nMOS 트랜지스터(153-2)의 드레인온 접지선에 접속된다. nMOS 트랜지스터(153-3)의 소스는 데이터선(L3)에 접속되고, nMOS 트랜지스터(153-3)의 드레인온 접지선에 접속된다.

따라서, 트랜스시버(147-2)가 선택되고 엔코더(152)가 활성 상태로 설정되면, 데이터(B20, B21)의 로직 레벨과 출력 제어 신호(P20, P21, P22, P23)의 로직 레벨간의 관계는 다음의 표 19와 같이 표현된다.

[표 19]

B20	B21	P20	P21	P22	P23	L0	L1	L2	L3
L	L	L	H	H	H	L	H	H	H
H	L	H	L	H	H	H	L	H	H
L	H	H	H	L	H	H	H	L	H
H	H	H	H	H	L	H	H	H	L

트랜스시버(147-3)는 엔코더(ENC)(154)와 각각 출력 회로를 구성하는 nMOS 트랜지스터(155-0, 155-1, 155-2, 155-3)를 포함한다. 엔코더(154)의 활성화 및 비활성화는 엔코더 활성화 신호(EN0)에 의해 제어된다. 엔코더(154)가 활성화되면, 전송될 데이터(B30, B31)가 엔코드되어, 다음의 표 20과 같은 출력 제어 신호(P30, P31, P32, P33)를 생성한다. 엔코더(154)가 비활성화되면, 출력 제어 신호(P30, P31, P32, P33)가 H 레벨로 설정된다.

[표 20]

B30	B31	P30	P31	P32	P33
L	L	L	H	H	H
H	L	H	L	H	H
L	H	H	H	L	H
H	H	H	H	H	L

출력 제어 신호(P30)에 의해 nMOS 트랜지스터(155-0)의 온/오프 동작이 제어된다. 출력 제어 신호(P31)에 의해 nMOS 트랜지스터(155-1)의 온/오프 동작이 제어된다. 출력 제어 신호(P32)에 의해 nMOS 트랜지스터(155-2)의 온/오프 동작이 제어된다. 출력 제어 신호(P33)에 의해 nMOS 트랜지스터(155-3)의 온/오프 동작이 제어된다.

nMOS 트랜지스터(155-0)의 소스는 데이터선(L0)에 접속되고, nMOS 트랜지스터(155-0)의 드레인온 접지선에 접속된다. nMOS 트랜지스터(155-1)의 소스는 데이터선(L1)에 접속되고, nMOS 트랜지스터(155-1)의 드레인온 접지선에 접속된다. nMOS 트랜지스터(155-2)의 소스는 데이터선(L2)에 접속되고, nMOS 트랜지스터(155-2)의 드레인온 접지선에 접속된다. nMOS 트랜지스터(155-3)의 소스는 데이터선(L3)에 접속되고, nMOS 트랜지스터(155-3)의 드레인온 접지선에 접속된다.

따라서, 트랜스시버(147-3)가 선택되고 엔코더(154)가 활성 상태로 설정되면, 데이터(B30, B31)의 로직 레벨과 출력 제어 신호(P30, P31, P32, P33)의 로직 레벨간의 관계는 다음의 표 21과 같이 표현된다.

[표 21]

B30	B31	P30	P31	P32	P33	L0	L1	L2	L3
L	L	L	H	H	H	L	H	H	H
H	L	H	L	H	H	H	L	H	H
L	H	H	H	L	H	H	H	L	H
H	H	H	H	H	L	H	H	H	L

수신기(156)는 데이터선(L0, L1, L2, L3)의 로직 레벨을 디코딩하여, 전송될 데이터(B0, B1)를 재생한다. 다음의 표 22는 수신기(156)의 기능을 나타낸다.

[표 22]

L0	L1	L2	L3	B0	B1
L	H	H	H	L	L
H	L	H	H	H	L
H	H	L	H	L	H
H	H	H	L	H	H

본 발명의 제6 실시예에 따라서, 전원 전압(VCC)으로 프리차지된 데이터선(L0, L1, L2, L3) 중 하나를 방전하여, 데이터 쌍(B0과 B01, B1과 B11, B2과 B21, B3과 B31)중 하나가 선택적으로 전송된다. 또한, 상응하는 데이터선(L0, L1, L2, L3)의 하나를 구동하는 각각의 출력 회로는 인버터가 아니고, 예를 들어 네 개의 nMOS 트랜지스터(149-0 내지 149-3)를 포함하는 개방 드레인 회로이다. 따라서, 데이터선(L0, L1, L2, L3)에 제공되는 출력 집합의 용량이 감소한다. 그래서, 데이터선(L0, L1, L2, L3)의 전력 소비는 더욱 감소할 수 있다. 또한, pMOS 소스의 다음의 좀 더 나은 구성에 따라, 데이터선(L0 내지 L3)의 L 레벨은 pMOS 게이트 전압 레벨이므로, 데이터선(L0 내지 L3)의 전압 전폭이 감소하고, 전력 소비가 감소한다.

본 발명의 제7 실시예를 도 12 내지 도 16을 참조하여 이하에 설명한다. 도 12는 본 발명에 의한 제7 실시예의 반도체 집적 회로의 부분 블록도이다. 도 12에 나타난 반도체 집적 회로는 스태틱 램(S-RAM)에 적용된다.

도 12에서, 데이터를 전송하기 위해 설치된 데이터선(L0, L1, L2, L3)은 병렬로 배열되어 있다. 데이터선(L0, L1, L2, L3)은 프리차지 회로(158)에 의해 전원 전압(VCC)으로 프리차지되어 있다.

프리차지 회로(158)는 VCC 전원선(159)과 pMOS 트랜지스터(160-0, 160-1, 160-2, 160-3)를 포함한다. 각 pMOS 트랜지스터(160-0, 160-1, 160-2, 160-3)의 온/오프 동작은 데이터선 프리차지 신호(PC)에 의해 제어된다.

pMOS 트랜지스터(160-0)의 소스는 VCC 전원선(159)에 접속되고, pMOS 트랜지스터(160-0)의 드레인은 데이터선(L0)에 접속된다. pMOS 트랜지스터(160-1)의 소스는 VCC 전원선(159)에 접속되고, pMOS 트랜지스터(160-1)의 드레인은 데이터선(L1)에 접속된다. pMOS 트랜지스터(160-2)의 소스는 VCC 전원선(159)에 접속되고, pMOS 트랜지스터(160-2)의 드레인은 데이터선(L2)에 접속된다. pMOS 트랜지스터(160-3)의 소스는 VCC 전원선(159)에 접속되고, pMOS 트랜지스터(160-3)의 드레인은 데이터선(L3)에 접속된다.

프리차지 회로(161-0)는 한 쌍의 노드(N0, /N0)를 프리차지하기 위해 설치된다. 상기 한 쌍의 노드(N0, /N0)는 각각 제1 블록(도시하지 않음)의 메모리 셀에 저장된 데이터로부터 판독되어 한 쌍의 비트선(BL0, /BL0)으로 제공된다.

센스 증폭기(162-0)는 노드(N0, /N0)간에 전위차를 증폭하기 위해 제공되어, H 레벨에 이르는 높은 전위를 갖는 노드 중 하나의 전위와 L 레벨에 이르는 낮은 전위를 갖는 노드 중 하나의 전위를 설정함으로써 메모리 셀로부터 판독한 데이터를 래치한다. 센스 증폭기(162-0)의 구조는 도 13에 나타난 바와 같다.

도 13에 나타난 바와 같이, 센스 증폭기(162-0)는 nMOS 트랜지스터(162, 164, 165)를 포함한다. nMOS 트랜지스터(163, 164)는 서로 접속된 게이트를 가져, 다른 동작을 수행한다. nMOS 트랜지스터(165)의 온/오프 동작은 래치 신호( $\psi$ )에 의해 제어된다.

nMOS 트랜지스터(163)의 드레인은 노드(N0)에 접속된다. nMOS 트랜지스터(164)의 드레인은 노드(/N0)에 접속된다. nMOS 트랜지스터(165)의 드레인은 각 nMOS 트랜지스터(163, 164)의 소스에 접속된다. nMOS 트랜지스터(165)의 소스는 접지된다.

도 12에서, b0과 /b0은 노드(N0, /N0)의 전위에 의해 표시되는 데이터이다. 노드(N0)의 전위에 의해 표시되는 데이터(b0)와 노드(/N0)의 전위에 의해 표시되는 데이터(/b0)는 상보 관계에 있다.

프리차지 회로(161-1)는 한 쌍의 노드(N1, /N1)를 프리차지하기 위해 설치되어 있다. 상기 한 쌍의 노드(N1, /N1)는 각각 제2 블록(도시하지 않음)의 메모리 셀에 저장된 데이터로부터 판독되어 한 쌍의 비트선(BL1, /BL1)으로 제공된다.

센스 증폭기(162-1)는 노드(N1, /N1)간에 전위차를 증폭하기 위해 제공되어, H 레벨에 이르는 높은 전위를 갖는 노드 중 하나의 전위와 L 레벨에 이르는 낮은 전위를 갖는 노드 중 하나의 전위를 설정함으로써 메모리 셀로부터 판독한 데이터를 래치한다. 센스 증폭기(162-1)의 구조는 도 13에 나타난 바와 같다.

도 13에 나타난 바와 같이, 센스 증폭기(162-1)는 nMOS 트랜지스터(166, 167, 168)를 포함한다. nMOS 트랜지스터(166, 167)는 서로 접속된 게이트를 가져, 다른 동작을 수행한다. nMOS 트랜지스터(168)의 온/오프 동작은 래치 신호( $\psi$ )에 의해 제어된다.

nMOS 트랜지스터(166)의 드레인은 노드(N1)에 접속된다. nMOS 트랜지스터(167)의 드레인은 노드(/N1)에 접속된다. nMOS 트랜지스터(168)의 드레인은 각 nMOS 트랜지스터(166, 167)의 소스에 접속된다. nMOS 트랜지스터(168)의 소스는 접지된다.

도 12에서, b1과 /b1은 노드(N1, /N1)의 전위에 의해 표시되는 데이터이다. 노드(N1)의 전위에 의해 표시되는 데이터(b1)와 노드(/N1)의 전위에 의해 표시되는 데이터(/b1)는 상보 관계에 있다.

센스 증폭기(162-0, 162-1)에 의해 래치된 상보 데이터(b0과 /b0, b1과 /b1)는 엔코더(169)에 의해 엔코딩되어, 데이터선(L0, L1, L2, L3) 중 하나를 L 레벨로 방전한다. 엔코더(169)의 구조는 도 13에 나타난 바와 같다.

도 13에 나타난 바와 같이, 엔코더(169)는 pMOS 트랜지스터(170-0, 170-1, 170-2, 170-3)를 포함한다. pMOS 트랜지스터(170-0)의 온/오프 동작은 노드(N1)의 전위 즉, 데이터(b1)의 레벨에 의해 제어된다. pMOS 트랜지스터(170-1)의 온/오프 동작은 노드(/N1)의 전위 즉, 데이터(/b1)의 레벨에 의해 제어된다.

pMOS 트랜지스터(170-2)의 온/오프 동작은 노드(/NO)의 전위 즉, 데이터(/b0)의 레벨에 의해 제어된다. pMOS 트랜지스터(170-3)의 온/오프 동작은 노드(NO)의 전위 즉, 데이터(b0)의 레벨에 의해 제어된다.

pMOS 트랜지스터(170-0)의 소스는 데이터선(L0)에 접속되고, pMOS 트랜지스터(170-0)의 드레인은 노드(NO)에 접속된다. pMOS 트랜지스터(170-1)의 소스는 데이터선(L3)에 접속되고, pMOS 트랜지스터(170-1)의 드레인은 노드(/NO)에 접속된다. pMOS 트랜지스터(170-2)의 소스는 데이터선(L1)에 접속되고, pMOS 트랜지스터(170-2)의 드레인은 노드(N1)에 접속된다. pMOS 트랜지스터(170-3)의 소스는 데이터선(L2)에 접속되고, pMOS 트랜지스터(170-3)의 드레인은 노드(/N1)에 접속된다.

따라서, 상보 데이터(b0와 /b0, b1과 /b1)의 로직 레벨과 데이터선(L0, L1, L2, L3)의 로직 레벨간의 관계는, 다음의 표 23에 나타난 바와 같이 표현된다.

[표 23]

b0	/b0	b1	/b1	L0	L1	L2	L3
L	H	L	H	L	H	H	H
H	L	L	H	H	L	H	H
L	H	H	L	H	H	L	H
H	L	H	L	H	H	H	L

본 발명의 제7 실시예에서, 상보 데이터(b0와 /b0, b1과 /b1)를 전송하는 트랜스미터는 센스 증폭기(162-0, 162-1)와 엔코더(169)로 구성된다.

센스 증폭기(162-0)는, 데이터 판독 동작이 완료될 때, 충전 전송 증폭기를 통하여 비트선(BL0, BL1)에 접속된다. 이와 유사하게, 센스 증폭기(162-1)는, 데이터 판독 동작이 완료될 때, 충전 전송 증폭기를 통하여 비트선(BL1, /BL1)에 접속된다. 도 14는, 센스 증폭기(162-0)를 비트선(BL0, /BL0)에 접속하는 충전 전송 증폭기의 구조를 나타낸다. 센스 증폭기(162-1)를 비트선(BL1, /BL1)에 접속하는 충전 전송 증폭기의 구조는 충전 전송 증폭기(162-0)와 같다.

도 14에 나타난 바와 같이, 충전 전송 증폭기(172)는 nMOS 트랜지스터(173, 174)를 포함한다. 각 nMOS 트랜지스터(173, 174)의 온/오프 동작은 충전 전송 신호(CT)에 의해 제어된다.

nMOS 트랜지스터(173)의 드레인은 노드(NO)에 접속되고, nMOS 트랜지스터(173)의 소스는 비트선(BL0)에 접속된다. nMOS 트랜지스터(174)의 드레인은 노드(/NO)에 접속되고, nMOS 트랜지스터(174)의 소스는 비트선(/BL0)에 접속된다.

도 14에 나타난 pMOS 트랜지스터(175, 176)는 증폭기(도 12에 나타냄)의 프리차지 수단(161-0)을 구성한다. 각 pMOS 트랜지스터(175, 176)의 소스는, 프리차지 전압(VCCH)을 공급하는 프리차지 전압선(177)에 접속된다. 프리차지 전압(VCCH)(예를 들어, 1.5 볼트)은 전원 전압(VCC)(예를 들어, 1.0 볼트)보다 크다. 각 pMOS 트랜지스터(175, 176)의 온/오프 동작은 센스 증폭기 리셋 신호(SARST)에 의해 제어된다.

pMOS 트랜지스터(175)의 소스는 프리차지 전압선(177)에 접속되고, pMOS 트랜지스터(176)의 드레인은 노드(NO)에 접속된다. pMOS 트랜지스터(176)의 소스는 프리차지 전압선(177)에 접속되고, pMOS 트랜지스터(176)의 드레인은 노드(/NO)에 접속된다.

비트선 프리차지 회로(178)는 비트선(BL0, /BL0)에 설치된다. 비트선 프리차지 회로(178)는 pMOS 트랜지스터(179, 180)를 포함한다. 각 pMOS 트랜지스터(179, 180)는 전원 전압(VCC)을 공급하는 프리차지선(181)에 접속된다. 각 pMOS 트랜지스터(179, 180)의 온/오프 동작은 비트선 리셋 신호(BLRST)에 의해 제어된다.

도 15a와 도 15b는 충전 전송 증폭기(172)와 센스 증폭기(162-0)의 동작을 나타내는 파형도이다. 파형은, 충전 전송 신호(CT), 비트선 리셋 신호(BLRST), 센스 증폭기 활성화 신호(래치 신호)(ψ1), 비트선(BL0, /BL0), 노드(NO, /NO)의 전압 레벨의 변경을 나타낸다.

도 12를 참조하여 보면, 패스 게이트 로직 회로를 구성하는 디코더(183)는, 데이터선(L0, L1, L2, L3)의 로직 레벨을 디코딩하여 상보 데이터(b0와 /b0, b1과 /b1)를 재생한다. 상보 데이터(b0와 /b0)는 증폭되고 래치 회로(184-0)에 의해 래치되고, 상보 데이터(b1과 /b1)는 증폭되고 래치 회로(184-1)에 의해 래치된다. 본 실시예에서, 데이터를 수신하기 위한 수신기는 디코더(183)와 래치 회로(184-0, 184-1)로 구성된다.

도 16은 디코더(183)와 래치 회로(184-0, 184-1)의 회로도이다.

도 16에 나타난 바와 같이, 디코더(183)는, pMOS 트랜지스터(186 내지 193)를 포함한다. 센스 증폭기(184-0)는 nMOS 트랜지스터(194, 195)를 포함하고, 센스 증폭기(184-1)는 nMOS 트랜지스터(196, 197)를 포함한다. 또한, 도 18에, 리셋 신호(ψ2)에 의해 각각 온/오프 동작이 제어되는 nMOS 트랜지스터(198, 199, 200, 201)가 나타나 있다.

디코더(183)에서, pMOS 트랜지스터(186)의 소스는 pMOS 트랜지스터(187)의 게이트에 접속되어 있고, pMOS

트랜지스터(187)의 소스는 pMOS 트랜지스터(186)의 게이트에 접속되어 있다. 또한, pMOS 트랜지스터(186)의 소스가 데이터선(L3)에 접속되어 있고, pMOS 트랜지스터(186)의 드레인은 노드(N2)에 접속되어 있다. 또한, pMOS 트랜지스터(187)의 소스가 데이터선(L1)에 접속되어 있고, pMOS 트랜지스터(187)의 드레인은 노드(N2)에 접속되어 있다.

또한, pMOS 트랜지스터(188)의 소스는 pMOS 트랜지스터(189)의 게이트에 접속되고, pMOS 트랜지스터(189)의 소스는 pMOS 트랜지스터(188)의 게이트에 접속된다. 또한, pMOS 트랜지스터(188)의 소스가 데이터선(L2)에 접속되어 있고, pMOS 트랜지스터(188)의 드레인은 노드(N2)에 접속되어 있다. 또한, pMOS 트랜지스터(189)의 소스가 데이터선(L0)에 접속되어 있고, pMOS 트랜지스터(189)의 드레인은 노드(N2)에 접속되어 있다.

pMOS 트랜지스터(190)의 소스는 pMOS 트랜지스터(191)의 게이트에 접속되고, pMOS 트랜지스터(191)의 소스는 pMOS 트랜지스터(190)의 게이트에 접속된다. 또한, pMOS 트랜지스터(190)의 소스가 데이터선(L3)에 접속되어 있고, pMOS 트랜지스터(190)의 드레인은 노드(N3)에 접속되어 있다. 또한, pMOS 트랜지스터(191)의 소스가 데이터선(L2)에 접속되어 있고, pMOS 트랜지스터(191)의 드레인은 노드(N3)에 접속되어 있다.

또한, pMOS 트랜지스터(192)의 소스는 pMOS 트랜지스터(193)의 게이트에 접속되고, pMOS 트랜지스터(193)의 소스는 pMOS 트랜지스터(192)의 게이트에 접속된다. 또한, pMOS 트랜지스터(192)의 소스가 데이터선(L1)에 접속되어 있고, pMOS 트랜지스터(192)의 드레인은 노드(N3)에 접속되어 있다. 또한, pMOS 트랜지스터(193)의 소스가 데이터선(L0)에 접속되어 있고, pMOS 트랜지스터(193)의 드레인은 노드(N3)에 접속되어 있다.

센스 증폭기(184-0)에서, nMOS 트랜지스터(194)의 드레인은 nMOS 트랜지스터(195)의 게이트에 접속되고, nMOS 트랜지스터(195)의 게이트는 nMOS 트랜지스터(194)의 게이트에 접속된다. nMOS 트랜지스터(194)의 드레인은 노드(N2)에 접속되고, nMOS 트랜지스터(194)의 소스는 접지되어 있다. nMOS 트랜지스터(195)의 드레인은 노드(N2)에 접속되고, nMOS 트랜지스터(195)의 소스는 접지된다.

센스 증폭기(184-1)에서, nMOS 트랜지스터(196)의 드레인은 nMOS 트랜지스터(197)의 게이트에 접속되고, nMOS 트랜지스터(197)의 게이트는 nMOS 트랜지스터(196)의 게이트에 접속된다. nMOS 트랜지스터(196)의 드레인은 노드(N3)에 접속되고, nMOS 트랜지스터(196)의 소스는 접지되어 있다. nMOS 트랜지스터(197)의 드레인은 노드(N3)에 접속되고, nMOS 트랜지스터(197)의 소스는 접지된다.

또한, nMOS 트랜지스터(198)의 드레인은 노드(N2)에 접속되고, nMOS 트랜지스터(198)의 소스는 nMOS 트랜지스터(198)의 소스는 접지되어 있다. nMOS 트랜지스터(199)의 드레인은 노드(N2)에 접속되고, nMOS 트랜지스터(199)의 소스는 접지된다.

이와 유사하게, nMOS 트랜지스터(200)의 드레인은 노드(N3)에 접속되고, nMOS 트랜지스터(200)의 소스는 nMOS 트랜지스터(198)의 소스는 접지되어 있다. nMOS 트랜지스터(201)의 드레인은 노드(N3)에 접속되고, nMOS 트랜지스터(201)의 소스는 접지된다.

데이터가 전송되기 전에, 리셋 신호( $\psi_2$ )는 H 레벨로 설정되고, nMOS 트랜지스터(198, 199, 200, 201)는 턴 온된다. 따라서, 노드(N2, N2, N3, N3)는 0 볼트로 리셋된다. 데이터가 래치될 때, 리셋 신호( $\psi_2$ )는 L 레벨로 설정되고, nMOS 트랜지스터(198, 199, 200, 201)는 턴 오프된다.

따라서, 상보 데이터(b0와 /b0)는 각각 노드(N2, N2)에 나타나고, 상보 데이터(b1과 /b1)는 각각 노드(N3, N3)에 나타난다.

데이터선(L0, L1, L2, L3)의 로직 레벨과 재생된 상보 데이터(b0와 /b0, b1과 /b1)간의 관계는 다음의 표 24에 의해 표현된다.

[표 24]

L0	L1	L2	L3	b0	/b0	b1	/b1
L	H	H	H	L	H	L	H
H	L	H	H	H	L	L	H
H	H	L	H	L	H	H	L
H	H	H	L	H	L	H	L

본 발명에 따라, 2 비트 데이터를 나타내는 상보 데이터(b0와 /b0, b1과 /b1)는, 전원 전압(VCC)까지 프리차지되는 데이터선(L0, L1, L2, L3)의 하나를 방전하여 전송될 수 있다. 따라서, 데이터선(L0, L1, L2, L3)의 전력 소비가 감소될 수 있다.

또한, 본 실시예에서, 인코더(196)는 패스 게이트 로직 회로를 포함하므로, 전력 소비가 더욱 감소하고, 인코더(196)에 포함되는 트랜지스터의 수를 감소시킬 수 있어, 패턴 영역과 데이터 전송의 지연이 감소한다.

또한, 노드(N0, N1, N2, N3)에 대한 프리차지 기간 동안, 노드(N0, N1, N2, N3)는 데이터선(L0, L1, L2, L3)에 대해 각각 전기적으로 절연되고, 센스 증폭기(162-0, 162-1)는 센스 증폭기 활성화 신호( $\psi_1$ )에 의해 활성화 된다. 따라서, 데이터가 래치되면, 다른 타이밍 신호 없이 상용하는 데이터선이 자동적으로 방전될 수 있다. 따라서, 데이터선의 방전 타이밍의 지연이 방지될 수 있고, 높은 속도의 데이터 전송이 이루어질 수 있다. 또한, 타이밍 신호를 생성하기 위한 방전 및 충전 전류가 제거될 수 있어서, 전력 소비가 더욱 감소될 수 있다.

본 실시예에서, 디코더(183)를 포함하는 수신기와 래치 회로(184-0, 184-1)는 도 17에 나타난 수신기로

대체할 수 있다.

도 17에서, 디코더(203)는 데이터선(L0, L1, L2, L3)의 레벨을 디코딩하여, 상보 데이터(b0와 /b0)를 재생하고, 디코더(204)는 데이터선(L0, L1, L2, L3)의 레벨을 디코딩하여 상보 데이터(b1과 /b1)를 재생한다.

디코더(203)에서, nMOS 트랜지스터(205, 206, 207, 208)는 아날로그 곱셈 회로를 구성한다. nMOS 트랜지스터(205, 206)는 토렘 폴(totem pole)형 접속에 의해 접속된다. nMOS 트랜지스터(205)의 드레인은 노드(N4)에 접속되고, nMOS 트랜지스터(205)의 게이트는 데이터선(L1)에 접속된다. nMOS 트랜지스터(206)의 게이트는 데이터선(L3)에 접속되고, nMOS 트랜지스터(206)의 드레인은 노드(N5)에 접속된다.

또한, nMOS 트랜지스터(207, 208)는 토렘 폴(totem pole)형 접속에 의해 접속된다. nMOS 트랜지스터(207)의 드레인은 노드(N4)에 접속되고, nMOS 트랜지스터(207)의 게이트는 데이터선(L3)에 접속된다. nMOS 트랜지스터(208)의 게이트는 데이터선(L1)에 접속되고, nMOS 트랜지스터(208)의 소스는 노드(N5)에 접속된다.

이와 유사하게, 디코더(203)에서, nMOS 트랜지스터(209, 210, 211, 212)는 아날로그 곱셈 회로를 구성한다. nMOS 트랜지스터(209, 210)는 토렘 폴(totem pole)형 접속에 의해 접속된다. nMOS 트랜지스터(209)의 드레인은 노드(N4)에 접속되고, nMOS 트랜지스터(209)의 게이트는 데이터선(L2)에 접속된다. nMOS 트랜지스터(210)의 게이트는 데이터선(L0)에 접속되고, nMOS 트랜지스터(210)의 소스는 노드(N6)에 접속된다.

또한, nMOS 트랜지스터(211, 212)는 토렘 폴형 접속에 의해 접속된다. nMOS 트랜지스터(211)의 드레인은 노드(N4)에 접속되고, nMOS 트랜지스터(211)의 게이트는 데이터선(L0)에 접속된다. nMOS 트랜지스터(212)의 게이트는 데이터선(L2)에 접속되고, nMOS 트랜지스터(212)의 소스는 노드(N5)에 접속된다.

도 17에서, 래치 회로는 pMOS 트랜지스터(213, 214)와 nMOS 트랜지스터(215, 216)로 구성된다. pMOS 트랜지스터(213)의 소스는 VCC 전원선(217)에 접속되고, pMOS 트랜지스터(213)의 게이트는 노드(N4)에 접속되고, pMOS 트랜지스터(213)의 드레인은 노드(N4)에 접속된다. pMOS 트랜지스터(214)의 소스는 VCC 전원선(217)에 접속되고, pMOS 트랜지스터(214)의 게이트는 노드(N4)에 접속되고, pMOS 트랜지스터(214)의 드레인은 노드(N4)에 접속된다. 또한, nMOS 트랜지스터(215)의 드레인은 노드(N5)에 접속되고, nMOS 트랜지스터(215)의 게이트는 노드(N4)에 접속된다. nMOS 트랜지스터(216)의 드레인은 노드(N5)에 접속되고, nMOS 트랜지스터(216)의 게이트는 노드(N4)에 접속된다.

디코더(203)에서, 리셋 회로는 pMOS 트랜지스터(218, 219)와 nMOS 트랜지스터(220, 221)로 구성된다. pMOS 트랜지스터(218)의 소스는 VCC 전원선(217)에 접속되고, pMOS 트랜지스터(218)의 드레인은 노드(N4)에 접속된다. pMOS 트랜지스터(218)의 온/오프 동작은 리셋 신호( $\psi_3$ )에 의해 제어된다. 이와 유사하게, pMOS 트랜지스터(219)의 소스는 VCC 전원선(217)에 접속되고, pMOS 트랜지스터(219)의 드레인은 노드(N4)에 접속된다. pMOS 트랜지스터(219)의 온/오프 동작은 리셋 신호( $\psi_3$ )에 의해 제어된다.

nMOS 트랜지스터(215)의 소스는 nMOS 트랜지스터(220)의 드레인에 접속되고, nMOS 트랜지스터(220)의 소스는 접지된다. nMOS 트랜지스터(220)의 온/오프 동작은 리셋 신호( $\psi_3$ )에 의해 제어된다. 이와 유사하게, nMOS 트랜지스터(216)의 소스는 nMOS 트랜지스터(221)의 드레인에 접속되고, nMOS 트랜지스터(221)의 소스는 접지된다. nMOS 트랜지스터(221)의 온/오프 동작은 리셋 신호( $\psi_3$ )에 의해 제어된다.

디코더(204)에서, nMOS 트랜지스터(222, 223, 224, 225)는 아날로그 곱셈 회로를 구성한다. nMOS 트랜지스터(222, 223)는 토렘 폴형 접속에 의해 접속된다. nMOS 트랜지스터(222)의 드레인은 노드(N6)에 접속되고, nMOS 트랜지스터(222)의 게이트는 데이터선(L2)에 접속된다. nMOS 트랜지스터(223)의 게이트는 데이터선(L3)에 접속되고, nMOS 트랜지스터(223)의 소스는 노드(N7)에 접속된다.

또한, nMOS 트랜지스터(224, 225)는 토렘 폴형 접속에 의해 접속된다. nMOS 트랜지스터(224)의 드레인은 노드(N6)에 접속되고, nMOS 트랜지스터(224)의 게이트는 데이터선(L3)에 접속된다. nMOS 트랜지스터(225)의 게이트는 데이터선(L2)에 접속되고, nMOS 트랜지스터(225)의 소스는 노드(N7)에 접속된다.

유사하게, 디코더(204)에서, nMOS 트랜지스터(226, 227, 228, 229)는 아날로그 곱셈 회로를 구성한다. nMOS 트랜지스터(226, 227)는 토렘 폴형 접속에 의해 접속된다. nMOS 트랜지스터(226)의 드레인은 노드(N6)에 접속되고, nMOS 트랜지스터(226)의 게이트는 데이터선(L1)에 접속된다. nMOS 트랜지스터(227)의 게이트는 데이터선(L0)에 접속되고, nMOS 트랜지스터(227)의 소스는 노드(N7)에 접속된다.

또한, nMOS 트랜지스터(228, 229)는 토렘 폴형 접속에 의해 접속된다. nMOS 트랜지스터(228)의 드레인은 노드(N6)에 접속되고, nMOS 트랜지스터(228)의 게이트는 데이터선(L0)에 접속된다. nMOS 트랜지스터(229)의 게이트는 데이터선(L1)에 접속되고, nMOS 트랜지스터(229)의 소스는 노드(N7)에 접속된다.

도 17에서, 래치 회로는 pMOS 트랜지스터(230, 231)와 nMOS 트랜지스터(232, 233)로 구성된다. pMOS 트랜지스터(230)의 소스는 VCC 전원선(217)에 접속되고, pMOS 트랜지스터(230)의 게이트는 노드(N6)에 접속되고, pMOS 트랜지스터(230)의 드레인은 노드(N6)에 접속된다. pMOS 트랜지스터(231)의 소스는 VCC 전원선(217)에 접속되고, pMOS 트랜지스터(231)의 게이트는 노드(N6)에 접속되고, pMOS 트랜지스터(231)의 드레인은 노드(N6)에 접속된다. 또한, nMOS 트랜지스터(232)의 드레인은 노드(N7)에 접속되고, nMOS 트랜지스터(232)의 게이트는 노드(N6)에 접속된다.

디코더(204)에서, 리셋 회로는 pMOS 트랜지스터(234, 235)와 nMOS 트랜지스터(236, 237)로 구성된다. pMOS 트랜지스터(234)의 소스는 VCC 전원선(217)에 접속되고, pMOS 트랜지스터(234)의 드레인은 노드(N6)에 접속된다. pMOS 트랜지스터(234)의 온/오프 동작은 리셋 신호( $\psi_3$ )에 의해 제어된다. 이와 유사하게, pMOS 트랜지스터(235)의 소스는 VCC 전원선(217)에 접속되고, pMOS 트랜지스터(235)의 드레인은 노드(N6)에 접속된다. pMOS 트랜지스터(235)의 온/오프 동작은 리셋 신호( $\psi_3$ )에 의해 제어된다.

nMOS 트랜지스터(232)의 소스는 nMOS 트랜지스터(236)의 드레인에 접속되고, nMOS 트랜지스터(236)의 소스는 접지된다. nMOS 트랜지스터(236)의 온/오프 동작은 리셋 신호( $\psi_3$ )에 의해 제어된다. 이와 유사하



게, nMOS 트랜지스터(233)의 소스는 nMOS 트랜지스터(237)의 드레인에 접속되고, nMOS 트랜지스터(237)의 소스는 접지된다. nMOS 트랜지스터(237)의 온/오프 동작은 리셋 신호( $\psi_3$ )에 의해 제어된다.

데이터선(L0, L1, L2, L3)의 로직 레벨과 재생된 상보 데이터(b0와 /b0, b1과 /b1)간의 관계는 다음의 표 25에 의해 표현된다.

[표 25]

L0	L1	L2	L3	b0	/b0	b1	/b1
L	H	H	H	L	H	L	H
H	L	H	H	H	L	L	H
H	H	L	H	L	H	H	L
H	H	H	L	H	L	H	L

상기 표 25에 나타난 바와 같이, 데이터선(L0)이 L 레벨에 있고, 데이터선(L1, L2, L3)이 H 레벨에 있을 때, nMOS 트랜지스터(205, 206, 207, 208)는 턴 온되고, nMOS 트랜지스터(210, 211)는 턴 오프되고, nMOS 트랜지스터(227, 228)는 턴 오프된다.

그 결과, 노드(N4)의 전위는, 노드(N4)의 전위보다 낮아지고, 노드(N6)의 전위는 노드(N6)의 전위보다 낮아지고, 상보 데이터(b0)는 L 레벨로 설정되고, 상보 데이터(/b0)는 H 레벨로 설정되고, 상보 데이터(b1)는 L 레벨로 설정되고, 상보 데이터(/b1)는 H 레벨로 설정된다.

또한, 데이터선(L1)이 L 레벨에 있고, 데이터선(L0, L2, L3)이 H 레벨에 있을 때, nMOS 트랜지스터(205, 208)는 턴 오프되고, nMOS 트랜지스터(209, 210, 211, 212)는 턴 온되고, nMOS 트랜지스터(226, 229)는 턴 오프된다.

그 결과, 노드(N4)의 전위는 노드(N4)의 전위보다 높아지고, 노드(N6)의 전위는 노드(N6)의 전위보다 낮아지고, 상보 데이터(b0)는 H 레벨로 설정되고, 상보 데이터(/b0)는 L 레벨로 설정되고, 상보 데이터(b1)는 L 레벨로 설정되고, 상보 데이터(/b1)는 L 레벨로 설정된다.

또한, 데이터선(L2)이 L 레벨에 있고, 데이터선(L0, L1, L3)이 H 레벨에 있을 때, nMOS 트랜지스터(205, 206, 207, 208)는 턴 온되고, nMOS 트랜지스터(209, 212)는 턴 오프되고, nMOS 트랜지스터(226, 227, 228, 229)는 턴 온된다.

그 결과, 노드(N4)의 전위는 노드(N4)의 전위보다 낮아지고, 노드(N6)의 전위는 노드(N6)의 전위보다 높아지고, 상보 데이터(b0)는 L 레벨로 설정되고, 상보 데이터(/b0)는 H 레벨로 설정되고, 상보 데이터(b1)는 H 레벨로 설정되고, 상보 데이터(/b1)는 L 레벨로 설정된다.

또한, 데이터선(L3)이 L 레벨에 있고, 데이터선(L0, L1, L2)이 H 레벨에 있을 때, nMOS 트랜지스터(206, 207)는 턴 오프되고, nMOS 트랜지스터(209, 210, 211, 212)는 턴 온되고, nMOS 트랜지스터(223, 224)는 턴 오프되고, nMOS 트랜지스터(226, 227, 228, 229)는 턴 온 된다.

그 결과, 노드(N4)의 전위는 노드(N4)의 전위보다 높아지고, 노드(N6)의 전위는 노드(N6)의 전위보다 낮아지고, 상보 데이터(b0)는 H 레벨로 설정되고, 상보 데이터(/b0)는 H 레벨로 설정되고, 상보 데이터(b1)는 H 레벨로 설정되고, 상보 데이터(/b1)는 L 레벨로 설정된다.

상기한 바와 같이, 도 17에 나타난 수신기가 사용되면, 데이터선(L0, L1, L2, L3)의 방전 전위가 중간 레벨에 있고, 구동되는 데이터선의 전위의 변화의 진폭이 작을 때도 데이터선(L0, L1, L2, L3)의 전위가 디코딩 될 수 있다.

이하에 본 발명의 제8 실시예를 설명한다. 도 18은 본 발명의 제8 실시예에 의한 반도체 집적 회로의 부분 블록도이다.

도 18에서, 주클럭 신호(MC)는 주클럭 터미널(301)에 입력된다. 참조 부호(302)는 주클럭 신호와 같은 위상을 갖는 클럭 신호(QC)를 필요로 하는 회로를 나타낸다. 클럭 신호(QC)는 한 기간의 지연에 의해 주클럭 신호로부터 생성된다.

클럭 전송 회로(303)는, 클럭 신호(QC)를 요하는 회로(302)에 클럭 신호(QC)를 공급한다. 클럭 전송 회로(303)는 각각 지연 시간(TA)을 제공하는 게이트 회로(예를 들어, CMOS 인버터)(304-1, 304-2, 304-3, ..., 304-m)를 포함한다. 주클럭 신호는, 도 19, 도 20, 도 36에 나타난 회로와 같이 구성되는 가변 지연 회로(306)에 의해 지연된다.

도 19에서, 가변 지연 회로(306)는 VCC 전원선(308), CMOS 인버터(309-1, 309-2, 309-3, ..., 309-L), pMOS 트랜지스터(310-1, 310-2, 310-3, ..., 310-L), nMOS 트랜지스터(311-1, 311-2, 311-3, ..., 311-L), pMOS 트랜지스터(312-1, 312-2, 312-3, ..., 312-L), nMOS 트랜지스터(313-1, 313-2, 313-3, ..., 313-L)를 포함한다.

VCC 전원선(308)은 전원 전압(VCC)을 공급한다. 각 pMOS 트랜지스터(312-1, 312-2, 312-3, ..., 312-L)는, 지연 시간 제어 전압(VC)이 그 게이트에 공급되는 가변 레지스터 요소로서 제공된다. 각 nMOS 트랜지스터(313-1, 313-2, 313-3, ..., 313-L)는 지연 시간 제어 전압(VC2)이 그 게이트에 제공되는 가변 레지스터 요소로서 제공된다.

도 20에서, 가변 지연 회로(306)는 VCC 전원선(315), CMOS 인버터(316-1, 316-2, 316-3, ..., 316-L), pMOS 트랜지스터(317-1, 317-2, 317-3, ..., 317-L), nMOS 트랜지스터(318-1, 318-2, 318-3, ..., 318-L), pMOS 트랜지스터(319) 및 nMOS 트랜지스터(320)를 구비한다. pMOS 트랜지스터(319)는 게이트에 지연 시간 제어 전압(VC)이 공급되는 가변 저항 소자로서 작용한다. nMOS 트랜지스터(320)는 게이트

트에 가변 지연 회로 제어 전압(VCZ)이 공급되는 가변 저항 소자로서 작용한다.

도 18에 나타난 바와 같이, 가변 지연 회로(306)의 출력 C6을 지연시키는 고정 지연 회로(322)는 게이트 회로(323-1, 323-2, 323-3, ..., 323-m, 323-(m+1), ..., 323-n)를 구비한다. 게이트 회로(323-1, 323-2, 323-3, ..., 323-m, 323-(m+1), ..., 323-n)의 각각은 지연 시간 TA를 공급한다. 위상 비교기(PC)(325)는 고정 지연 회로(322)의 최종 스테이지 게이트 회로(323-n)의 출력(C22A)의 위상과 주클럭 신호(MC)의 위상을 비교함으로써 가변 지연 회로(306)를 제어하여 가변 지연 회로(306)에 지연 시간 제어 전압(VC, VCZ)을 공급함으로써, 출력(C22A)의 위상이 주클럭 신호의 위상과 같아지게 된다. 이 실시예에서, 지연 로크 루프 회로(DLL 회로)는 가변 지연 회로(306), 고정 지연 회로(322) 및 위상 비교기(325)를 구비한다.

고정 지연 회로(322)에서, 제 n-m 게이트 회로인 게이트 회로(323-(m+1))의 출력 단자는 클럭 전송 회로(303)의 제 1 스테이지 게이트 회로인 게이트 회로(304-m)의 입력 단자에 접속된다. 따라서, 고정 지연 회로(322)의 게이트 회로(323-(m+1))로부터 출력된 클럭 신호(C22B)는 클럭 전송 회로(303)의 제 1 스테이지 게이트 회로(304-m)에 공급된다.

도 21은 도 18에 나타난 회로의 동작을 설명하는 파형도이다. 도 21-A는 주클럭 신호(MC)를 나타내고, 도 21-B는 고정 지연 회로(322)의 최종 스테이지 게이트 회로(323-1)로부터 출력된 클럭 신호(C22A)를 나타내고, 도 21-C는 고정 지연 회로(322)의 제 n-m 게이트 회로(323-(m+1))로부터 출력된 클럭 신호(C22B)를 나타내고, 도 21-D는 클럭 전송 회로(303)로부터 출력된 클럭 신호(QC)를 나타낸다.

도 21에 나타난 바와 같이 본 실시예에서는, 고정 지연 회로(322)의 최종 스테이지 게이트 회로(323-1)로부터 출력된 클럭 신호(C22A)는 주클럭 신호(MC)와 같은 위상이 되도록 제어된다. 따라서, 고정 지연 회로(322)의 제 n-m 게이트 회로(323-(m+1))로부터 출력된 클럭 신호(C22B)의 위상은 고정 지연 회로(322)의 최종 스테이지 게이트 회로(323-1)로부터 출력된 클럭 신호(C22A) 보다 게이트 회로(323-1 ~ 323-m)의 총 지연 시간인 지연 시간(Tm) 만큼 앞선다.

클럭 전송 회로(303)의 게이트 회로(304-1 ~ 304-m)의 스테이지 수는 m 이고 게이트 회로(323-1 ~ 323-m)의 스테이지 수도 또한 m 이기 때문에, 제 n-m 게이트 회로(323-(m+1))로부터 출력된 클럭 신호(C22B)는 클럭 전송 회로(303)에 의해 Tm의 지연 시간만큼 지연된다. 즉, 클럭 전송 회로(303)의 클럭 신호(QC)는 주클럭 신호(MC)의 위상과 같은 위상을 갖는다.

따라서, 본 발명의 제 8 실시예에서는, 공정 조건, 온도 변화 또는 전원 전압의 레벨에 무관하게 주클럭 신호(MC)와 같은 위상을 갖는 클럭 신호를 필요로 하는 회로(302)에, 주클럭 클럭(MC)을 지연시켜서 발생하고 주클럭 신호(MC)와 같은 위상을 갖는 클럭 신호(QC)를 공급할 수 있다.

도 22 및 도 23을 참조하여 본 발명의 제 9 실시예에 대하여 설명한다. 도 22는 본 발명의 제 9 실시예에 따른 반도체 집적 회로의 부분 회로도이다. 도 22에서, 주클럭 신호(MC)는 주클럭 입력 단자(327)에 입력된다. 클럭 신호(QC1) 및 클럭 신호(QC2)는 이들 신호를 필요로 하는 회로(328)에 공급된다. 클럭 신호(QC1)는 주클럭 신호(MC)의 위상을 180 도 만큼 지연시킴으로써 발생한다. 클럭 신호(QC2)는 주클럭 신호(MC)의 위상을 270 도 만큼 지연시킴으로써 발생한다.

게이트 회로(예컨대, CMOS 인버터)(330-1, 330-2, 330-3, ..., 330-m1)를 구비한 클럭 전송 회로(329)로부터 회로(328)에 클럭 신호(QC1)를 공급한다. 각각의 게이트 회로(330-1, 330-2, 330-3, ..., 330-m1)는 지연 시간 TA를 공급한다. 게이트 회로(예컨대, CMOS 인버터)(332-1, 332-2, 332-3, ..., 332-m2)를 구비한 클럭 전송 회로(331)로부터 회로(328)에 클럭 신호(QC2)를 공급한다. 각각의 게이트 회로(332-1, 332-2, 332-3, ..., 332-m2)는 지연 시간 TA를 공급한다.

예컨대, 도 19, 도 20 또는 도 36에 나타난 회로와 유사하게 구성할 수 있는 가변 지연 회로(334)는 주클럭 신호(MC)를 지연시킨다. 가변 지연 회로(334)로부터 출력된 클럭 신호(C34)는 고정 지연 회로(335)에 의해 지연된다. 고정 지연 회로(335)는 각각 지연 시간 TA를 공급할 수 있는 게이트 회로(예컨대, CMOS 인버터)(336-1, 336-2, ..., 336-n)를 구비한다.

가변 지연 회로(337)는 고정 지연 회로(335)로부터 출력된 클럭 신호(C35)를 지연시킨다. 가변 지연 회로(337)는 가변 지연 회로(334)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(337)로부터 출력된 클럭 신호(C37)는 고정 지연 회로(335)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(338)에 의해 지연된다. 고정 지연 회로(338)는 각각 지연 시간 TA를 공급하는 게이트 회로(339-1, 339-2, ..., 339-m1, 339-(m1+1))를 구비한다.

또한, 가변 지연 회로(340)는 고정 지연 회로(338)의 최종 스테이지 게이트 회로(339-1)로부터 출력된 클럭 신호(C33A)를 지연시킨다. 가변 지연 회로(340)는 가변 지연 회로(334)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(340)로부터 출력된 클럭 신호(C40)는 고정 지연 회로(335)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(341)에 의해 지연된다. 고정 지연 회로(341)는 각각 지연 시간 TA를 공급하는 게이트 회로(342-1, 342-2, ..., 342-m2, 342-(m2+1))를 구비한다.

또한, 가변 지연 회로(343)는 고정 지연 회로(341)의 최종 스테이지 게이트 회로(342-1)로부터 출력된 클럭 신호(C41A)를 지연시킨다. 가변 지연 회로(343)는 가변 지연 회로(334)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(343)로부터 출력된 클럭 신호(C43)는 고정 지연 회로(335)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(334)에 의해 지연된다. 고정 지연 회로(334)는 각각 지연 시간 TA를 공급하는 게이트 회로(345-1, 345-2, ..., 345-n)를 구비한다.

상술한 바와 같이 본 발명의 제 9 실시예에서, 주클럭 신호(MC)를 지연시키는 지연 회로는 가변 지연 회로(334)와 고정 지연 회로(335)를 구비한 제 1 회로 유닛, 가변 지연 회로(337)와 고정 지연 회로(338)를 구비한 제 2 회로 유닛, 가변 지연 회로(340)와 고정 지연 회로(341)를 구비한 제 3 회로 유닛, 및 가변 지연 회로(343)와 고정 지연 회로(344)를 구비한 제 4 회로 유닛에 의해 구성되며, 제 1 ~ 제 4 회로 유닛은 직렬 접속된다.

또한, 위상 비교기(PC)(346)는 고정 지연 회로(344)의 최종 스테이지 게이트 회로(345-1)로부터 출력된 클럭 신호(C44)의 위상과 주클럭 신호(MC)의 위상을 비교함으로써 가변 지연 회로(334, 337, 340)를 제어하여 가변 지연 회로(334, 337, 340)에 지연 시간 제어 전압(VC, VC2)을 공급함으로써, 클럭 신호(C44)의 위상이 주클럭 신호(MC)의 위상과 같아지도록 한다. 본 실시예에서, 지연 로크 루프 회로는 가변 지연 회로(334, 337, 340 및 343), 고정 지연 회로(335, 338, 341 및 344) 및 위상 비교기(346)를 구비한다.

또한, 제  $n-m1$  게이트 회로인 게이트 회로(339-( $m1+1$ ))의 출력 단자는 클럭 전송 회로(329)의 최종 스테이지 게이트 회로인 게이트 회로(330- $m1$ )의 입력 단자에 접속된다. 따라서, 고정 지연 회로(338)의 게이트 회로(339-( $m1+1$ ))로부터 출력된 클럭 신호(C38B)는 클럭 전송 회로(329)의 제 1 스테이지 게이트 회로(330- $m1$ )에 공급된다.

또한, 제  $n-m2$  게이트 회로인 게이트 회로(342-( $m2+1$ ))의 출력 단자는 클럭 전송 회로(331)의 제 1 스테이지 게이트 회로인 게이트 회로(332- $m2$ )의 입력 단자에 접속된다. 따라서, 고정 지연 회로(341)의 게이트 회로(342-( $m2+1$ ))로부터 출력된 클럭 신호(C41B)는 클럭 전송 회로(331)의 제 1 스테이지 게이트 회로(332- $m2$ )에 공급된다.

도 23은 도 22에 나타난 회로의 동작을 설명하는 파형도이다. 도 23-A는 주클럭 신호(MC)를 나타내고, 도 23-B는 고정 지연 회로(335)로부터 출력된 클럭 신호(C35)를 나타내고, 도 23-C는 고정 지연 회로(338)의 최종 스테이지 게이트 회로(339-1)로부터 출력된 클럭 신호(C38A)를 나타내고, 도 23-D는 고정 지연 회로(338)의 제  $n-m1$  게이트 회로(339-( $m1+1$ ))로부터 출력된 클럭 신호(C38B)를 나타내고, 도 23-E는 클럭 전송 회로(329)로부터 출력된 클럭 신호(QC1)를 나타낸다. 또한, 도 23-F는 고정 지연 회로(341)의 최종 스테이지 게이트 회로(342-1)로부터 출력된 클럭 신호(C41A)를 나타내고, 도 23-G는 고정 지연 회로(341)의  $n-m2$  게이트 회로(342-( $m2+1$ ))로부터 출력된 클럭 신호(C41B)를 나타내고, 도 23-H는 클럭 전송 회로(331)로부터 출력된 클럭 신호(QC2)를 나타내고, 도 23-I는 고정 지연 회로(344)로부터 출력된 클럭 신호(C44)를 나타낸다.

본 실시예에서, 각각의 가변 지연 회로(334, 337, 340 및 343)는 동일한 회로 구조를 갖고, 각각의 고정 지연 회로(335, 338, 341 및 344)도 또한 동일한 회로 구조를 갖는다.

따라서, 고정 지연 회로(335)로부터 출력된 클럭 신호(C35)의 위상은 주클럭 신호(MC)의 위상으로부터 90 도 만큼 지연되고, 고정 지연 회로(335)의 최종 스테이지 게이트 회로(339-1)로부터 출력된 클럭 신호(C38A)의 위상은 주클럭 신호(MC)의 위상으로부터 180 도 만큼 지연되고, 고정 지연 회로(341)의 최종 스테이지 게이트 회로(342-1)로부터 출력된 클럭 신호(C41A)의 위상은 주클럭 신호(MC)의 위상으로부터 270 도 만큼 지연되고, 클럭 신호(C44)의 위상은 주클럭 신호(MC)의 위상과 같다.

그 결과, 고정 지연 회로(338)의 제  $n-m1$  게이트 회로로부터 출력된 클럭 신호(C38B)의 위상은 고정 지연 회로(338)의 최종 스테이지 게이트 회로(339-1)로부터 출력된 클럭 신호(C38A)의 위상보다 게이트 회로(339-1 ~ 339- $m1$ ) 총 지연 시간인 지연 시간( $Tm1$ ) 만큼 앞선다.

클럭 전송 회로(329)의 게이트 회로(330-1 ~ 330- $m1$ )의 스테이지 수는  $m1$  이고, 게이트 회로(339-1 ~ 339- $m1$ )의 스테이지 수도 또한  $m1$  이므로, 클럭 전송 회로(329)로부터 출력된 클럭 신호(QC1)는 주클럭 신호(MC)의 위상으로부터 180 도 만큼 지연된 위상을 갖는다.

또한, 고정 지연 회로(341)의 제  $n-m2$  게이트 회로(342-( $m2+1$ ))로부터 출력된 클럭 신호(C41B)의 위상은 고정 지연 회로(341)의 최종 스테이지 게이트 회로(342-1)로부터 출력된 클럭 신호(C41A)의 위상보다 게이트 회로(342-1 ~ 342- $m2$ )의 총 지연 시간인 지연 시간( $Tm2$ ) 만큼 앞선다.

클럭 전송 회로(331)의 게이트 회로(332-1 ~ 332- $m2$ )의 스테이지 수는  $m2$  이고, 게이트 회로(342-1 ~ 342- $m2$ )의 스테이지 수도 또한  $m2$  이므로, 클럭 전송 회로(331)로부터 출력된 클럭 신호(QC2)는 주클럭 신호(MC)의 위상으로부터 270 도 만큼 지연된 위상을 갖는다.

따라서, 본 발명의 제 9 실시예에서, 주클럭 신호(MC)를 지연시킴으로써 발생하며 180 도 만큼 지연된 위상을 갖는 클럭 신호(QC1)와, 주클럭 신호(MC)를 지연시킴으로써 발생하고 270 도 만큼 지연된 위상을 갖는 클럭 신호(QC2)는 공정 조건, 온도 변화 또는 전원 전압의 레벨에 무관하게 회로(328)에 공급할 수 있다.

도 24 및 도 25를 참조하여 본 발명의 제 10 실시예에 대해 설명한다. 도 24는 본 발명의 제 10 실시예에 의한 반도체 집적 회로의 부분 회로도이다. 도 24에서, 주클럭 신호(MC)는 주클럭 입력 단자(348)에 입력된다. 클럭 신호(QC1) 및 클럭 신호(QC2)는 이들 신호를 필요로 하는 회로(349)에 공급된다. 클럭 신호(QC1)는 주클럭 신호(MC)의 위상을 180 도 만큼 지연시킴으로써 발생한다. 클럭 신호(QC2)는 주클럭 신호(MC)의 위상을 270 도 만큼 지연시킴으로써 발생한다.

클럭 신호(QC1)는 게이트 회로(351-1, 351-2, ..., 351- $m1$ )를 구비한 클럭 전송 회로(350)로부터 회로(349)에 공급된다. 각각의 게이트 회로(351-1, 351-2, ..., 351- $m1$ )는 지연 시간  $TA$ 를 공급한다. 클럭 신호(QC2)는 게이트 회로(353-1, 353-2, ..., 353- $m2$ )를 구비한 클럭 전송 회로(352)로부터 회로(349)에 공급된다. 각각의 게이트 회로(352-1, 352-2, ..., 352- $m2$ )는 지연 시간  $TA$ 를 공급한다.

예컨대, 도 19, 도 20 또는 도 36에 나타난 회로와 유사하게 구성할 수 있는 가변 지연 회로(355)는 주클럭 신호(MC)를 지연시킨다. 가변 지연 회로(355)로부터 출력된 클럭 신호(O55)는 고정 지연 회로(356)에 의해 지연된다. 고정 지연 회로(356)는 각각 지연 시간  $TA$ 를 공급할 수 있는 게이트 회로(357-1, 357-2, ..., 357- $p1$ , 357-( $p1+1$ ), ..., 357- $n$ )를 구비한다.

가변 지연 회로(358)는 고정 지연 회로(356)의 최종 스테이지 게이트 회로(357-1)로부터 출력된 클럭 신호(C36A)를 지연시킨다. 가변 지연 회로(358)는 가변 지연 회로(355)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(358)로부터 출력된 클럭 신호(C58)는 고정 지연 회로(356)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(359)에 의해 지연된다. 고정 지연 회로(359)는 각각 지연 시간  $TA$ 를

공급하는 게이트 회로(360-1, 360-2, ..., 360-p2, 360-(p2+1), ..., 360-n)를 구비한다.

또한, 가변 지연 회로(361)는 고정 지연 회로(359)의 최종 스테이지 게이트 회로(360-1)로부터 출력된 클럭 신호(C59A)를 지연시킨다. 가변 지연 회로(361)는 가변 지연 회로(365)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(361)로부터 출력된 클럭 신호(C61)는 고정 지연 회로(356)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(362)에 의해 지연된다. 고정 지연 회로(362)는 각각 지연 시간 TA를 공급하는 게이트 회로(363-1, 363-2, ..., 363-n)를 구비한다.

또한, 가변 지연 회로(364)는 고정 지연 회로(362)로부터 출력된 클럭 신호(C62A)를 지연시킨다. 가변 지연 회로(364)는 가변 지연 회로(355)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(364)로부터 출력된 클럭 신호(C64)는 고정 지연 회로(356)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(365)에 의해 지연된다. 고정 지연 회로(365)는 각각 지연 시간 TA를 공급하는 게이트 회로(366-1, 366-2, ..., 366-n)를 구비한다.

상술한 바와 같이 본 발명의 제 10 실시예에서, 주클럭 신호(MC)를 지연시키는 지연 회로는 가변 지연 회로(355)와 고정 지연 회로(356)를 구비한 제 1 회로 유닛, 가변 지연 회로(358)와 고정 지연 회로(359)를 구비한 제 2 회로 유닛, 가변 지연 회로(361)와 고정 지연 회로(362)를 구비한 제 3 회로 유닛, 및 가변 지연 회로(364)와 고정 지연 회로(365)를 구비한 제 4 회로 유닛에 의해 구성되며, 제 1 ~ 제 4 회로 유닛은 직렬 접속된다.

또한, 위상 비교기(PC)(367)는 고정 지연 회로(365)로부터 출력된 클럭 신호(C65)의 위상과 주클럭 신호(MC)의 위상을 비교함으로써 가변 지연 회로(355, 358, 361 및 364)를 제어하여 가변 지연 회로(355, 358, 361 및 364)에 지연 시간 제어 전압(VC, V2C)을 공급함으로써, 클럭 신호(C65)의 위상이 주클럭 신호(MC)의 위상과 같아지도록 한다. 본 실시예에서, 지연 로크 루프 회로는 가변 지연 회로(355, 358, 361 및 364), 고정 지연 회로(356, 359, 362 및 365) 및 위상 비교기(367)를 구비한다.

고정 지연 회로(368)는 각각 지연 시간 TA를 공급하는 게이트 회로(예컨대, CMOS 인버터)(369-1, 369-2, ..., 369-k1)를 구비한다.  $k1$ 은  $\{(TL/TA)L + n + p1 - m1\}$ 과 같은 것에 유의하여야 한다. 또한, 고정 지연 회로(370)는 각각 지연 시간 TA를 공급하는 게이트 회로(예컨대, CMOS 인버터)(371-1, 371-2, ..., 371-k2)를 구비한다.  $k2$ 는  $\{(TL/TA)L + n + p2 - m2\}$ 과 같은 것에 유의하여야 한다.

또한, 제  $n-p1$  게이트 회로인 게이트 회로(357-(p1+1))의 출력 단자는 고정 지연 회로(368)의 제 1 스테이지 게이트 회로인 게이트 회로(369-k1)의 입력 단자에 접속된다. 따라서, 고정 지연 회로(368)의 게이트 회로(369-1)로부터 출력된 클럭 신호(C68)는 클럭 전송 회로(350)의 제 1 스테이지 게이트 회로(351-m1)에 공급된다.

또한, 제  $n-p2$  게이트 회로인 게이트 회로(360-(p2+1))의 출력 단자는 고정 지연 회로(370)의 제 1 스테이지 게이트 회로인 게이트 회로(371-k2)의 입력 단자에 접속된다. 따라서, 고정 지연 회로(370)의 게이트 회로(371-1)로부터 출력된 클럭 신호(C70)는 클럭 전송 회로(352)의 제 1 스테이지 게이트 회로(353-m2)에 공급된다.

도 25는 도 24에 나타낸 회로의 동작을 설명하는 파형도이다. 도 25a는 주클럭 신호(MC)를 나타내고, 도 25b는 고정 지연 회로(356)의 최종 스테이지 게이트 회로(357-1)로부터 출력된 클럭 신호(C56A)를 나타내고, 도 25c는 고정 지연 회로(356)의 제  $n-p1$  게이트 회로(357-(p1+1))로부터 출력된 클럭 신호(C56B)를 나타내고, 도 25d는 고정 지연 회로(368)로부터 출력된 클럭 신호(C68)를 나타내고, 도 25e는 클럭 전송 회로(350)로부터 출력된 클럭 신호(QC1)를 나타낸다. 또한, 도 25f는 고정 지연 회로(359)의 최종 스테이지 게이트 회로(360-1)로부터 출력된 클럭 신호(C59A)를 나타내고, 도 25g는 고정 지연 회로(359)의  $n-p2$  게이트 회로(360-(p2+1))로부터 출력된 클럭 신호(C59B)를 나타내고, 도 25h는 고정 지연 회로(370)로부터 출력된 클럭 신호(C70)를 나타내고, 도 25i는 클럭 전송 회로(352)로부터 출력된 클럭 신호(QC2)를 나타내고, 도 25j는 고정 지연 회로(362)로부터 출력된 클럭 신호(C62)를 나타내고, 도 25k는 고정 지연 회로(365)로부터 출력된 클럭 신호(C65)를 나타낸다.

본 실시예에서, 각각의 가변 지연 회로(355, 358, 361 및 364)는 동일한 회로 구조를 갖고, 각각의 고정 지연 회로(356, 359, 362 및 365)도 또한 동일한 회로 구조를 갖는다.

따라서, 고정 지연 회로(356)의 최종 스테이지 게이트 회로(357-1)로부터 출력된 클럭 신호(C56A)의 위상은 주클럭 신호(MC)의 위상으로부터 90 도 만큼 지연되고, 고정 지연 회로(359)의 최종 스테이지 게이트 회로(360-1)로부터 출력된 클럭 신호(C59A)의 위상은 주클럭 신호(MC)의 위상으로부터 180 도 만큼 지연되고, 고정 지연 회로(362)로부터 출력된 클럭 신호(C62)의 위상은 주클럭 신호(MC)의 위상으로부터 270 도 만큼 지연되고, 클럭 신호(C65)의 위상은 주클럭 신호(MC)의 위상과 같다.

고정 지연 회로(368)의 게이트 회로의 수( $k1$ )는  $\{(TL/TA)L + n + p1 - m1\}$ 과 같기 때문에, 고정 지연 회로(368)로부터 출력된 클럭 신호(C68)의 위상은 고정 지연 회로(359)의 최종 스테이지 게이트 회로(360-1)로부터 출력된 클럭 신호(C59A)의 위상보다 게이트 회로(351-1 ~ 351-m1)의 총 지연 시간인 지연 시간( $Tm1$ ) 만큼 앞선다. 즉, 클럭 전송 회로(350)로부터 출력된 클럭 신호(QC1)의 위상은 주클럭 신호(MC)의 위상으로부터 180 도 만큼 지연된다.

또한, 고정 지연 회로(370)의 게이트 회로의 수( $k2$ )는  $\{(TL/TA)L + n + p2 - m2\}$ 와 같기 때문에, 고정 지연 회로(370)로부터 출력된 클럭 신호(C70)의 위상은 고정 지연 회로(362)로부터 출력된 클럭 신호(C62)의 위상보다 게이트 회로(353-1 ~ 353-m1)의 총 지연 시간인 지연 시간( $Tm2$ ) 만큼 앞선다. 즉, 클럭 전송 회로(352)로부터 출력된 클럭 신호(QC2)의 위상은 주클럭 신호(MC)의 위상으로부터 270 도 만큼 지연된다.

따라서, 본 발명의 제 10 실시예에서, 주클럭 신호(MC)를 지연시킴으로써 발생하며 180 도 만큼 지연된 위상을 갖는 클럭 신호(QC1)와, 주클럭 신호(MC)를 지연시킴으로써 발생하고 270 도 만큼 지연된 위상을 갖는 클럭 신호(QC2)는 공정 조건, 온도 변화 또는 전원 전압의 레벨에 무관하게 회로(349)에 공급할 수

있다.

도 26 및 도 27를 참조하여 본 발명의 제 12 실시예에 대해 설명한다. 도 26은 본 발명의 제 12 실시예에 의한 반도체 집적 회로의 부분 회로도이다. 도 26에서, 주클럭 신호(MC)는 주클럭 입력 단자(373)에 입력된다. 클럭 신호(QC1) 및 클럭 신호(QC2)는 이들 신호를 필요로 하는 회로(374)에 공급된다. 클럭 신호(QC1)는 주클럭 신호(MC)의 위상을 180 도 만큼 지연시킴으로써 발생한다. 클럭 신호(QC2)는 주클럭 신호(MC)의 위상을 270 도 만큼 지연시킴으로써 발생한다.

클럭 신호(QC1)는 게이트 회로(예컨대, CMOS 인버터)(376-1, 376-2, ..., 376-m1)를 구비한 클럭 전송 회로(375)로부터 회로(374)에 공급된다. 각각의 게이트 회로(376-1, 376-2, ..., 376-m1)는 지연 시간 TA를 공급한다. 클럭 신호(QC2)는 게이트 회로(예컨대, CMOS 인버터)(378-1, 378-2, ..., 378-m2)를 구비한 클럭 전송 회로(377)로부터 회로(374)에 공급된다. 각각의 게이트 회로(378-1, 378-2, ..., 378-m2)는 지연 시간 TA를 공급한다.

가변 지연 회로(380)는 주클럭 신호(MC)를 지연시킨다. 고정 지연 회로(380)는 각각 지연 시간 TA를 공급할 수 있는 게이트 회로(예컨대, CMOS 인버터)(381-1, 381-2, ..., 381-k1)를 구비한다.

가변 지연 회로(382)는 고정 지연 회로(380)로부터 출력된 클럭 신호(C80)를 지연시킨다. 가변 지연 회로(382)는 예컨대, 도 19, 도 20 또는 도 36에 나타낸 회로와 유사하게 지연 시간 TL을 갖는 게이트 회로의 L 개의 스테이지에 의해 구성될 수 있다. 가변 지연 회로(382)로부터 출력된 클럭 신호(C82)는 고정 지연 회로(383)에 의해 지연된다. 고정 지연 회로(383)는 각각 지연 시간 TA를 공급하는 게이트 회로(384-1, 384-2, ..., 384-p1, 384-(p1+1), ..., 384-n)를 구비한다.

가변 지연 회로(385)는 고정 지연 회로(383)의 최종 스테이지 게이트 회로(384-1)로부터 출력된 클럭 신호(C83A)를 지연시킨다. 가변 지연 회로(385)는 가변 지연 회로(382)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(385)로부터 출력된 클럭 신호(C85)는 고정 지연 회로(383)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(386)에 의해 지연된다. 고정 지연 회로(386)는 각각 지연 시간 TA를 공급하는 게이트 회로(387-1, 387-2, ..., 387-p2, 387-(p2+1), ..., 387-n)를 구비한다.

또한, 가변 지연 회로(388)는 고정 지연 회로(386)로부터 출력된 클럭 신호(C86A)를 지연시킨다. 가변 지연 회로(388)는 가변 지연 회로(382)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(388)로부터 출력된 클럭 신호(C88)는 고정 지연 회로(383)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(389)에 의해 지연된다. 고정 지연 회로(389)는 각각 지연 시간 TA를 공급하는 게이트 회로(390-1, 390-2, ..., 390-n)를 구비한다.

또한, 가변 지연 회로(391)는 고정 지연 회로(389)로부터 출력된 클럭 신호(C89)를 지연시킨다. 가변 지연 회로(391)는 가변 지연 회로(382)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(391)로부터 출력된 클럭 신호(C91)는 고정 지연 회로(383)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(392)에 의해 지연된다. 고정 지연 회로(392)는 각각 지연 시간 TA를 공급하는 게이트 회로(393-1, 393-2, ..., 393-n)를 구비한다.

상술한 바와 같이 본 발명의 제 11 실시예에서, 주클럭 신호(MC)를 지연시키는 지연 회로는 고정 지연 회로(380), 가변 지연 회로(382)와 고정 지연 회로(383)를 구비한 제 1 회로 유닛, 가변 지연 회로(385)와 고정 지연 회로(386)를 구비한 제 2 회로 유닛, 가변 지연 회로(388)와 고정 지연 회로(389)를 구비한 제 3 회로 유닛, 및 가변 지연 회로(391)와 고정 지연 회로(392)를 구비한 제 4 회로 유닛에 의해 구성되며, 제 1 ~ 제 4 회로 유닛은 직렬 접속된다.

또한, 위상 비교기(PC)(394)는 고정 지연 회로(392)로부터 출력된 클럭 신호(C92)의 위상과 주클럭 신호(MC)의 위상을 비교함으로써 가변 지연 회로(382, 385, 388 및 391)를 제어하여 가변 지연 회로(382, 385, 388 및 391)에 지연 시간 제어 전압(VC, VC2)을 공급함으로써, 고정 지연 회로(392)로부터 출력된 클럭 신호(C92)의 위상이 고정 지연 회로(380)로부터 출력된 클럭 신호(C80)와 같아지도록 한다. 본 실시예에서, 지연 로크 루프 회로는 가변 지연 회로(382, 385, 388 및 391), 고정 지연 회로(383, 386, 389 및 392) 및 위상 비교기(394)를 구비한다.

고정 지연 회로(395)는 고정 지연 회로(386)의 제 n-p2 게이트 회로(87-(p2-1))로부터 출력된 클럭 신호(C86B)를 지연시킨다. 고정 지연 회로(395)는 각각 지연 시간 TA를 공급하는 게이트 회로(예컨대, CMOS 인버터)(396-1, 396-2, ..., 396-(k2-k1))를 구비한다. k1은  $\{ (TL/TA)L + n + p1 - m1 \}$ 과 같고, k2는  $\{ (TL/TA)L + n + p2 - m2 \}$ 와 같은 것에 유의하여야 한다.

또한, 고정 지연 회로(383)의 제 n-p1 게이트 회로인 게이트 회로(384-(p1+1))의 출력 단자는 클럭 전송 회로(375)의 제 1 스테이지 게이트 회로인 게이트 회로(376-m1)의 입력 단자에 접속된다.

또한, 고정 지연 회로(386)의 제 n-p2 게이트 회로(387-(p2+1))의 출력 단자는 고정 지연 회로(395)의 제 1 스테이지 게이트 회로(396-(k2-k1))의 입력 단자에 접속된다. 고정 지연 회로(395)의 최종 스테이지 게이트 회로(396-1)의 출력 단자는 클럭 전송 회로(377)의 제 1 스테이지 게이트 회로(378-m2)의 입력 단자에 접속된다.

도 27은 도 26에 나타낸 회로의 동작을 설명하는 파형도이다. 도 27-A는 주클럭 신호(MC)를 나타내고, 도 27-B는 고정 지연 회로(380)의 고정 지연 회로(380)로부터 출력된 클럭 신호(C80)를 나타내고, 도 27-C는 고정 지연 회로(383)의 최종 스테이지 게이트 회로(384-1)로부터 출력된 클럭 신호(C83A)를 나타내고, 도 27-D는 고정 지연 회로(383)의 제 n-p1 게이트 회로(384-(p1+1))로부터 출력된 클럭 신호(C83B)를 나타내고, 도 27-E는 클럭 전송 회로(375)로부터 출력된 클럭 신호(QC1)를 나타낸다. 또한, 도 27-F는 고정 지연 회로(385)의 최종 스테이지 게이트 회로(387-1)로부터 출력된 클럭 신호(C86A)를 나타내고, 도 27-G는 고정 지연 회로(386)의 n-p2 게이트 회로(387-(p2+1))로부터 출력된 클럭 신호(C86B)를 나타내고, 도 27-H는 고정 지연 회로(395)로부터 출력된 클럭 신호(C95)를 나타내고, 도 27-I는 클럭 전송 회로(377)로부터 출력된 클럭 신호(QC2)를 나타내고, 도 27-J는 고정 지연 회로(389)로부터 출력된 클럭 신호(C89)를 나타내고, 도 27-K는 고정 지연 회로(392)로부터 출력된 클럭 신호(C92)를 나

타낸다.

본 실시예에서, 각각의 가변 지연 회로(382, 385, 388 및 391)는 동일한 회로 구조를 갖고, 각각의 고정 지연 회로(383, 386, 389 및 392)도 또한 동일한 회로 구조를 갖는다.

따라서, 고정 지연 회로(383)의 최종 스테이지 게이트 회로(384-1)로부터 출력된 클럭 신호(C83A)의 위상은 고정 지연 회로(380)로부터 출력된 클럭 신호(C80)의 위상으로부터 90 도 만큼 지연되고, 고정 지연 회로(386)의 최종 스테이지 게이트 회로(387-1)로부터 출력된 클럭 신호(C86A)의 위상은 고정 지연 회로(380)로부터 출력된 클럭 신호(C80)의 위상으로부터 180 도 만큼 지연되고, 고정 지연 회로(389)로부터 출력된 클럭 신호(C89)의 위상은 고정 지연 회로(380)로부터 출력된 클럭 신호(C80)의 위상으로부터 270 도 만큼 지연되고, 클럭 신호(C92)의 위상은 고정 지연 회로(380)로부터 출력된 클럭 신호(C80)의 위상과 같다.

고정 지연 회로(380)의 게이트 회로의 수  $k_1$ 는  $\{(TL/TA)L + n + p_1 - m_1\}$ 과 같기 때문에, 고정 지연 회로(383)의 제  $n-p_1$  게이트 회로(384- $(p_1+1)$ )로부터 출력된 클럭 신호(C83B)의 위상은 고정 지연 회로(386)의 최종 스테이지 게이트 회로(387-1)로부터 출력된 클럭 신호(C86A)의 위상보다 고정 지연 회로(380)의 지연 시간( $Tk_1$ )과 클럭 전송 회로(375)의 지연 시간( $Tm_1$ )의 합인 지연 시간( $Tk_1 + Tm_1$ ) 만큼 앞선다. 클럭 신호(C86A)는 주클럭 신호(MC)로부터  $Tk_1 + 180$  도 만큼 지연되기 때문에, 클럭 전송 회로(375)로부터 출력된 클럭 신호(C81)의 위상은 주클럭 신호(MC)의 위상으로부터 180 도 만큼 지연된다.

또한, 고정 지연 회로(395)의 게이트 회로의 수  $k_2 - k_1$ 는  $\{(TL/TA)L + n + p_2 - m_2 - k_1\}$ 와 같기 때문에, 고정 지연 회로(395)로부터 출력된 클럭 신호(C95)의 위상은 클럭 신호(C89)의 위상보다 고정 지연 회로(380)의 지연 시간( $Tk_1$ )과 클럭 전송 회로(377)의 지연 시간( $Tm_2$ )의 합인 지연 시간( $Tk_1 + Tm_2$ ) 만큼 앞선다. 클럭 신호(C89)는 주클럭 신호(MC)로부터  $Tk_1 + 270$  도 만큼 지연되기 때문에, 클럭 전송 회로(377)로부터 출력된 클럭 신호(C92)의 위상은 주클럭 신호(MC)의 위상으로부터 270 도 만큼 지연된다.

따라서, 본 발명의 제 12 실시예에서, 주클럭 신호(MC)를 지연시킴으로써 발생하며 180 도 만큼 지연된 위상을 갖는 클럭 신호(C81)와, 주클럭 신호(MC)를 지연시킴으로써 발생하고 270 도 만큼 지연된 위상을 갖는 클럭 신호(C92)는 고정 지연, 온도 변화 또는 전압의 레벨에 무관하게 회로(374)에 공급할 수 있다. 제 10 실시예와 동일한 동작을  $k_1$  개의 덜 고정적인 지연 소자로 달성할 수 있다.

도 28 및 도 29를 참조하여 본 발명의 제 12 실시예에 대해 설명한다. 도 28은 본 발명의 제 12 실시예에 의한 반도체 집적 회로의 부분 회로도이다. 도 28에서, 주클럭 신호(MC)는 주클럭 입력 단자(398)에 입력되고, 주클럭 신호의 위상을 270 도 만큼 지연시켜서 발생한 클럭 신호(MCA)는 클럭 신호 입력 단자(399)에 입력된다. 클럭 신호(C81) 및 클럭 신호(C92)는 이들 신호를 필요로 하는 회로(400)에 공급된다. 클럭 신호(C81)는 주클럭 신호(MC)의 위상을 180 도 만큼 지연시킴으로써 발생한다. 클럭 신호(C92)는 주클럭 신호(MC)의 위상을 270 도 만큼 지연시킴으로써 발생한다.

클럭 신호(C81)는 게이트 회로(예컨대, CMOS 인버터)(402-1, 402-2, 402-3, ..., 402- $m_1$ )를 구비한 클럭 전송 회로(401)로부터 회로(400)에 공급된다. 각각의 게이트 회로(402-1, 402-2, 402-3, ..., 402- $m_1$ )는 지연 시간  $TA$ 를 공급한다. 클럭 신호(C92)는 게이트 회로(예컨대, CMOS 인버터)(404-1, 404-2, 404-3, ..., 404- $m_2$ )를 구비한 클럭 전송 회로(403)로부터 회로(400)에 공급된다. 각각의 게이트 회로(404-1, 404-2, 404-3, ..., 404- $m_2$ )는 지연 시간  $TA$ 를 공급한다.

가변 지연 회로(406)는 주클럭 신호(MC)를 지연시킨다. 가변 지연 회로(406)는 예컨대, 도 19, 도 20 또는 도 36에 나타난 회로와 유사하게 지연 시간  $TL$ 을 공급하는 게이트 회로의  $L$  개의 스테이지에 의해 구성될 수 있다. 가변 지연 회로(406)로부터 출력된 클럭 신호(C106)는 고정 지연 회로(407)에 의해 지연된다. 고정 지연 회로(407)는 각각 지연 시간  $TA$ 를 공급하는 게이트 회로(예컨대, CMOS 인버터)(408-1, 408-2, ..., 408- $n$ )를 구비한다.

가변 지연 회로(409)는 고정 지연 회로(407)로부터 출력된 클럭 신호(C107)를 지연시킨다. 가변 지연 회로(409)는 가변 지연 회로(406)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(409)로부터 출력된 클럭 신호(C109)는 고정 지연 회로(407)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(410)에 의해 지연된다. 고정 지연 회로(410)는 각각 지연 시간  $TA$ 를 공급하는 게이트 회로(411-1, 411-2, ..., 411- $m_1$ , 411- $(m_1+1)$ )를 구비한다.

또한, 가변 지연 회로(412)는 고정 지연 회로(410)로부터 출력된 클럭 신호(C110A)를 지연시킨다. 가변 지연 회로(412)는 가변 지연 회로(406)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(412)로부터 출력된 클럭 신호(C112)는 고정 지연 회로(407)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(413)에 의해 지연된다. 고정 지연 회로(413)는 각각 지연 시간  $TA$ 를 공급하는 게이트 회로(414-1, 414-2, ..., 414- $m_2$ , 414- $(m_2+1)$ , ..., 414- $n$ )를 구비한다.

상술한 바와 같이 본 발명의 제 12 실시예에서, 주클럭 신호(MC)를 지연시키는 지연 회로는 가변 지연 회로(406)와 고정 지연 회로(407)를 구비한 제 1 회로 유닛, 가변 지연 회로(409)와 고정 지연 회로(410)를 구비한 제 2 회로 유닛, 가변 지연 회로(412)와 고정 지연 회로(413)를 구비한 제 3 회로 유닛에 의해 구성되며, 제 1 ~ 제 3 회로 유닛은 직렬 접속된다.

또한, 위상 비교기(PC)(415)는 고정 지연 회로(413)의 최종 스테이지 게이트 회로(414-1)로부터 출력된 클럭 신호(C113A)의 위상과 클럭 신호(MCA)의 위상을 비교함으로써 가변 지연 회로(406, 409 및 412)를 제어하여 가변 지연 회로(406, 409 및 412)에 지연 시간 제어 전압( $V_C$ ,  $V_{C2}$ )를 공급함으로써, 클럭 신호(C113A)의 위상이 주어진 클럭 신호(MCA)의 위상과 같아지도록 한다. 본 실시예에서, 지연 로크 루프 회로는 가변 지연 회로(406, 409 및 412), 고정 지연 회로(407, 410 및 413) 및 위상 비교기(415)를 구비한다.

또한, 고정 지연 회로(410)의 제  $n-m_1$  게이트 회로인 게이트 회로(411- $(m_1+1)$ )의 출력 단자는 클럭 전송 회로(401)의 제 1 스테이지 게이트 회로인 게이트 회로(402- $m_1$ )의 입력 단자에 접속된다. 따라서, 고정 지연 회로(410)의 제  $n-m_1$  게이트 회로(411- $(m_1+1)$ )로부터 출력된 클럭 신호(C110B)는 클럭 전송 회로



(401)의 제 1 스테이지 게이트 회로(402-m1)에 공급된다.

또한, 고정 지연 회로(413)의 제 n-m2 게이트 회로인 게이트 회로(411-(m2+1))의 출력 단자는 클럭 전송 회로(403)의 제 1 스테이지 게이트 회로인 게이트 회로(404-m2)의 입력 단자에 접속된다. 따라서, 고정 지연 회로(413)의 게이트 회로(414-(m2+1))로부터 출력된 클럭 신호(C113B)는 클럭 전송 회로(403)의 제 1 스테이지 게이트 회로(404-m2)에 공급된다.

도 29는 도 28에 나타낸 회로의 동작을 설명하는 파형도이다. 도 29a는 주클럭 신호(MC)를 나타내고, 도 29b는 클럭 신호(MCA)를 나타내고, 도 29c는 고정 지연 회로(407)로부터 출력된 클럭 신호(C107)를 나타내고, 도 29d는 고정 지연 회로(410)의 최종 스테이지 게이트 회로(411-1)로부터 출력된 클럭 신호(C110A)를 나타내고, 도 29e는 고정 지연 회로(410)의 제 n-m1 게이트 회로(411-(m1+1))로부터 출력된 클럭 신호(C110B)를 나타내고, 도 29f는 클럭 전송 회로(401)로부터 출력된 클럭 신호(QC1)를 나타낸다. 또한, 도 29g는 고정 지연 회로(413)의 최종 스테이지 게이트 회로(414-1)로부터 출력된 클럭 신호(C113A)를 나타내고, 도 29h는 고정 지연 회로(413)의 제 n-m2 게이트 회로(414-(m2+1))로부터 출력된 클럭 신호(C113B)를 나타내고, 도 29i는 클럭 전송 회로(403)로부터 출력된 클럭 신호(QC2)를 나타낸다.

본 실시예에서, 각각의 가변 지연 회로(406, 409 및 412)는 동일한 회로 구조를 갖고, 각각의 고정 지연 회로(407, 410 및 413)도 또한 동일한 회로 구조를 갖는다.

따라서, 클럭 신호(MC 및 MCA)간의 위상차는 3 개의 지연 유닛에 의해 구분되며, 고정 지연 회로(407)로부터 출력된 클럭 신호(C107)의 위상은 주클럭 신호(MC)의 위상으로부터 90 도 만큼 지연되고; 고정 지연 회로(410)의 최종 스테이지 게이트 회로(411-1)로부터 출력된 클럭 신호(C110A)의 위상은 주클럭 신호(MC)로부터 180 도 만큼 지연되고; 고정 지연 회로(413)의 최종 스테이지 게이트 회로(414-1)로부터 출력된 클럭 신호(C113A)의 위상은 주클럭 신호(MC)의 위상으로부터 270 도 만큼 지연된다.

그 결과, 고정 지연 회로(410)의 제 n-m1 게이트 회로(411-(m1+1))로부터 출력된 클럭 신호(C110B)의 위상은 고정 지연 회로(410)의 최종 스테이지 게이트 회로(411-1)로부터 출력된 클럭 신호(C110A)의 위상보다 게이트 회로(411-1 ~ 411-m1)의 총 지연 시간인 지연 시간(Tm1) 만큼 앞선다.

클럭 전송 회로(401)의 게이트 회로(402-1 ~ 402-m1)의 스테이지 수는 m1 이고 게이트 회로(411-1 ~ 411-m1)의 스테이지 수도 또한 m1 이므로, 클럭 전송 회로(401)로부터 출력된 클럭 신호(QC1)는 주클럭 신호(MC)로부터 180 도 만큼 지연된 위상을 갖는다.

또한, 고정 지연 회로(413)의 제 n-m2 게이트 회로(414-(m2+1))로부터 출력된 클럭 신호(C113B)의 위상은 고정 지연 회로(413)의 최종 스테이지 게이트 회로(414-1)로부터 출력된 클럭 신호(C113A)의 위상보다 게이트 회로(414-1 ~ 414-m2)의 총 지연 시간인 지연 시간(Tm2) 만큼 앞선다.

클럭 전송 회로(403)의 게이트 회로(404-1 ~ 404-m2)의 스테이지 수는 m2 이고 게이트 회로(414-1 ~ 414-m2)의 스테이지 수도 또한 m2 이므로, 클럭 전송 회로(403)로부터 출력된 클럭 신호(QC2)는 주클럭 신호(MC)로부터 270 도 만큼 지연된 위상을 갖는다.

따라서, 본 발명의 제 12 실시예에서, 주클럭 신호(MC)를 지연시킴으로써 발생하며 180 도 만큼 지연된 위상을 갖는 클럭 신호(QC1)와, 주클럭 신호(MC)를 지연시킴으로써 발생하고 270 도 만큼 지연된 위상을 갖는 클럭 신호(QC2)는 공정 조건, 온도 변화 또는 전원 전압의 레벨에 무관하게 회로(400)에 공급할 수 있다.

도 30 및 도 31을 참조하여 본 발명의 제 13 실시예에 대해 설명한다. 도 30은 본 발명의 제 13 실시예에 의한 반도체 집적 회로의 부분 회로도이다. 도 30에서, 주클럭 신호(MC)는 주클럭 입력 단자(417)에 입력되고, 주클럭 신호의 위상을 270 도 만큼 지연시켜서 발생한 클럭 신호(MCA)는 클럭 신호 입력 단자(418)에 입력된다. 클럭 신호(QC1) 및 클럭 신호(QC2)는 이들 신호를 필요로 하는 회로(419)에 공급된다. 클럭 신호(QC1)는 주클럭 신호(MC)의 위상을 180 도 만큼 지연시킴으로써 발생한다. 클럭 신호(QC2)는 주클럭 신호(MC)의 위상을 270 도 만큼 지연시킴으로써 발생한다.

클럭 신호(QC1)는 게이트 회로(예컨대, CMOS 인버터)(421-1, 421-2, 421-3, ..., 421-m1)를 구비한 클럭 전송 회로(420)로부터 회로(419)에 공급된다. 각각의 게이트 회로(421-1, 421-2, 421-3, ..., 421-m1)는 지연 시간 TA를 공급한다. 클럭 신호(QC2)는 게이트 회로(423-1, 423-2, ..., 423-m2)를 구비한 클럭 전송 회로(422)로부터 회로(419)에 공급된다. 각각의 게이트 회로(423-1, 423-2, 423-3, ..., 423-m2)는 지연 시간 TA를 공급한다.

예컨대, 도 19, 도 20 또는 도 36에 나타낸 회로와 유사하게 구성할 수 있는 가변 지연 회로(425)는 주클럭 신호(MC)를 지연시킨다. 가변 지연 회로(425)는 각각 지연 시간 TL을 공급하는 게이트 회로의 L 개의 스테이지를 구비한다. 가변 지연 회로(425)로부터 출력된 클럭 신호(C125)는 고정 지연 회로(429)에 의해 지연된다. 고정 지연 회로(429)는 각각 지연 시간 TA를 공급하는 게이트 회로(427-1, 427-2, ..., 427-pl, 427-(pl+1), ..., 427-n)를 구비한다.

가변 지연 회로(428)는 고정 지연 회로(429)의 최종 스테이지 게이트 회로(427-1)로부터 출력된 클럭 신호(C126A)를 지연시킨다. 가변 지연 회로(428)는 가변 지연 회로(425)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(428)로부터 출력된 클럭 신호(C128)는 고정 지연 회로(429)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(429)에 의해 지연된다. 고정 지연 회로(429)는 각각 지연 시간 TA를 공급하는 게이트 회로(430-1, 430-2, ..., 430-p2, 430-(p2+1), ..., 430-n)를 구비한다.

또한, 가변 지연 회로(431)는 고정 지연 회로(429)의 최종 스테이지 게이트 회로(430-1)로부터 출력된 클럭 신호(C129A)를 지연시킨다. 가변 지연 회로(431)는 가변 지연 회로(425)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(431)로부터 출력된 클럭 신호(C131)는 고정 지연 회로(426)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(432)에 의해 지연된다. 고정 지연 회로(432)는 각각 지연 시간 TA를 공급하는 게이트 회로(433-1, 433-2, ..., 433-n)를 구비한다.

상술한 바와 같이 본 발명의 제 13 실시예에서, 주클럭 신호(MC)를 지연시키는 지연 회로는 가변 지연

회로(425)와 고정 지연 회로(429)를 구비한 제 1 회로 유닛, 가변 지연 회로(426)와 고정 지연 회로(429)를 구비한 제 2 회로 유닛, 가변 지연 회로(431)와 고정 지연 회로(432)를 구비한 제 3 회로 유닛에 의해 구성된다.

또한, 위상 비교기(PC)(434)는 고정 지연 회로(432)로부터 출력된 클럭 신호(C132)의 위상과 지연된 클럭 신호(MCA)의 위상을 비교함으로써 가변 지연 회로(425, 428 및 431)를 제어하여 가변 지연 회로(425, 428 및 431)에 지연 시간 제어 전압(VC, VCZ)을 공급함으로써, 고정 지연 회로(432)로부터 출력된 클럭 신호(C132)의 위상이 지연된 클럭 신호(MCA)의 위상과 같아지도록 한다. 본 실시예에서, 지연 로크 루프 회로는 가변 지연 회로(425, 428 및 431), 고정 지연 회로(426, 428 및 432) 및 위상 비교기(434)를 구비한다.

고정 지연 회로(435)는 고정 지연 회로(426)의 게이트 회로(427-(p1+1))의 출력(C126B)을 지연시킨다. 고정 지연 회로(435)는 각각 지연 시간 TA를 공급하는 게이트 회로(436-1, 436-2, ..., 436-k1)를 구비한다. k1은  $\{(TL/TA)L + n + p1 - m1\}$ 과 같은 것에 유의하여야 한다. 또한, 고정 지연 회로(437)는 각각 지연 시간 TA를 공급하는 게이트 회로(438-1, 438-2, ..., 438-k2)를 구비한다. k2는  $\{(TL/TA)L + n + p2 - m2\}$ 와 같은 것에 유의하여야 한다.

또한, 고정 지연 회로(426)의 제 n-p1 게이트 회로인 게이트 회로(427-(p1+1))의 출력 단자는 고정 지연 회로(435)의 제 1 스테이지 게이트 회로인 게이트 회로(436-k1)의 입력 단자에 접속된다. 고정 지연 회로(435)의 최종 스테이지 게이트 회로(436-1)의 출력 단자는 클럭 전송 회로(420)의 제 1 스테이지 게이트 회로(421-m1)의 입력 단자에 접속된다.

고정 지연 회로(429)의 제 n-p2 게이트 회로인 게이트 회로(430-(p2+1))의 출력 단자는 고정 지연 회로(437)의 제 1 스테이지 게이트 회로인 게이트 회로(438-k2)의 입력 단자에 접속된다. 고정 지연 회로(435)의 최종 스테이지 게이트 회로(438-1)의 출력 단자는 클럭 전송 회로(422)의 제 1 스테이지 게이트 회로(423-m2)의 입력 단자에 접속된다.

도 31은 도 30에 나타낸 회로의 동작을 설명하는 파형도이다. 도 31a는 주클럭 신호(MC)를 나타내고, 도 31b는 클럭 신호(MCA)를 나타내고, 도 31c는 고정 지연 회로(426)로부터 출력된 클럭 신호(C126A)를 나타내고, 도 31d는 고정 지연 회로(426)의 제 n-p1 게이트 회로(427-(p1+1))로부터 출력된 클럭 신호(C126B)를 나타내고, 도 31e는 고정 지연 회로(435)로부터 출력된 클럭 신호(C135)를 나타내고, 도 31f는 클럭 전송 회로(420)로부터 출력된 클럭 신호(QC1)를 나타낸다. 또한, 도 31g는 고정 지연 회로(429)의 최종 스테이지 게이트 회로(430-1)로부터 출력된 클럭 신호(C129A)를 나타내고, 도 31h는 고정 지연 회로(429)의 제 n-p2 게이트 회로(430-(p2+1))로부터 출력된 클럭 신호(C129B)를 나타내고, 도 31i는 고정 지연 회로(437)로부터 출력된 클럭 신호(C137)를 나타내고, 도 31j는 클럭 전송 회로(422)로부터 출력된 클럭 신호(QC2)를 나타내고, 도 31k는 고정 지연 회로(432)로부터 출력된 클럭 신호(C132)를 나타낸다.

본 실시예에서, 각각의 가변 지연 회로(425, 428 및 431)는 동일한 회로 구조를 갖고, 각각의 고정 지연 회로(426, 429 및 432)도 또한 동일한 회로 구조를 갖는다.

따라서, 클럭 신호(MC 및 MCA)간의 위상차는 3 개의 지연 유닛에 의해 구분되며, 고정 지연 회로(426)로부터 출력된 클럭 신호(C126A)의 위상은 주클럭 신호(MC)의 위상으로부터 90 도 만큼 지연되고; 고정 지연 회로(429)의 최종 스테이지 게이트 회로(430-1)로부터 출력된 클럭 신호(C129A)의 위상은 주클럭 신호(MC)로부터 출력된 180 도 만큼 지연되고; 고정 지연 회로(432)로부터 출력된 클럭 신호(C132)의 위상은 주클럭 신호(MC)의 위상으로부터 270 도 만큼 지연된다.

또한, 고정 지연 회로(435)의 게이트 회로의 수(k1)는  $\{(TL/TA)L + n + p1 - m1\}$ 과 같기 때문에, 고정 지연 회로(435)로부터 출력된 클럭 신호(C135)의 위상은 고정 지연 회로(429)의 최종 스테이지 게이트 회로(430-1)로부터 출력된 클럭 신호(C129A)의 위상보다 클럭 전송 회로(420)의 게이트 회로(421-1 ~ 421-m1)의 총 지연 시간인 지연 시간(Tm1) 만큼 앞선다. 즉, 클럭 전송 회로(420)로부터 출력된 클럭 신호(QC1)의 위상은 주클럭 신호(MC)의 위상으로부터 180 도 만큼 지연된다.

고정 지연 회로(437)의 게이트 회로의 수(k2)는  $\{(TL/TA)L + n + p2 - m2\}$ 와 같기 때문에, 고정 지연 회로(437)로부터 출력된 클럭 신호(C137)의 위상은 고정 지연 회로(432)로부터 출력된 클럭 신호(C132)의 위상보다 클럭 전송 회로(422)의 게이트 회로(423-1 ~ 423-m1)의 총 지연 시간인 지연 시간(Tm2) 만큼 앞선다. 즉, 클럭 전송 회로(422)로부터 출력된 클럭 신호(QC2)의 위상은 주클럭 신호(MC)의 위상으로부터 270 도 만큼 지연된다.

따라서, 본 발명의 제 13 실시예에서, 클럭 신호(MC 및 MCA)간의 위상차가 270 도일 경우, 주클럭 신호(MC)를 지연시킴으로써 발생하며 180 도 만큼 지연된 위상을 갖는 클럭 신호(QC1)와, 주클럭 신호(MC)를 지연시킴으로써 발생하고 270 도 만큼 지연된 위상을 갖는 클럭 신호(QC2)는 공정 조건, 온도 변화 또는 전원 전압의 레벨에 무관하게 회로(419)에 공급할 수 있다.

도 32 및 도 33을 참조하여 본 발명의 제 14 실시예에 대해 설명한다. 도 32는 본 발명의 제 14 실시예에 의한 반도체 집적 회로의 부분 회로도이다. 도 32에서, 주클럭 신호(MC)는 주클럭 입력 단자(400)에 입력되고, 주클럭 신호의 위상을 270 도 만큼 지연시켜서 발생한 클럭 신호(MCA)는 클럭 신호 입력 단자(441)에 입력된다. 클럭 신호(QC1) 및 클럭 신호(QC2)는 이들 신호를 필요로 하는 회로(442)에 공급된다. 클럭 신호(QC1)는 주클럭 신호(MC)의 위상을 180 도 만큼 지연시킴으로써 발생한다. 클럭 신호(QC2)는 주클럭 신호(MC)의 위상을 270 도 만큼 지연시킴으로써 발생한다.

클럭 신호(QC1)는 게이트 회로(예컨대, CMOS 인버터)(444-1, 444-2, ..., 444-m1)를 구비한 클럭 전송 회로(443)로부터 회로(442)에 공급된다. 각각의 게이트 회로(444-1, 444-2, ..., 444-m1)는 지연 시간 TA를 공급한다. 클럭 신호(QC2)는 게이트 회로(446-1, 446-2, ..., 446-m2)를 구비한 클럭 전송 회로(445)로부터 회로(442)에 공급된다. 각각의 게이트 회로(446-1, 446-2, 446-3, ..., 446-m2)는 지연 시간 TA를 공급한다.



고정 지연 회로(448)는 주클럭 신호(MC)를 지연시킨다. 고정 지연 회로(448)는 각각 지연 시간 TA를 공급하는 게이트 회로(예컨대, CMOS 인버터)(449-1, 449-2, ..., 449-k1)를 구비한다. 고정 지연 회로(450)는 클럭 신호(MCA)를 지연시킨다. 고정 지연 회로(450)는 각각 지연 시간 TA를 공급하는 게이트 회로(예컨대, CMOS 인버터)(451-1, 451-2, ..., 451-k1)를 구비한다.

가변 지연 회로(452)는 고정 지연 회로(448)로부터 출력된 클럭 신호(C148)를 지연시킨다. 가변 지연 회로(452)는 예컨대, 도 19, 도 20 또는 도 36에 나타낸 회로와 유사하게 각각 지연 시간 TA를 공급하는 게이트 회로의 L 개의 스테이지에 의해 구성할 수 있다. 가변 지연 회로(452)로부터 출력된 클럭 신호(C152)는 고정 지연 회로(453)에 의해 지연된다. 고정 지연 회로(453)는 각각 지연 시간 TA를 공급하는 게이트 회로(454-1, 454-2, ..., 454-p1, 454-(p1+1), ..., 454-n)를 구비한다.

가변 지연 회로(455)는 고정 지연 회로(453)의 최종 스테이지 게이트 회로(454-1)로부터 출력된 클럭 신호(C153A)를 지연시킨다. 가변 지연 회로(455)는 가변 지연 회로(452)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(455)로부터 출력된 클럭 신호(C155)는 고정 지연 회로(453)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(456)에 의해 지연된다. 고정 지연 회로(456)는 각각 지연 시간 TA를 공급하는 게이트 회로(457-1, 457-2, ..., 457-p2, 457-(p2+1), ..., 457-n)를 구비한다.

또한, 가변 지연 회로(458)는 고정 지연 회로(456)의 최종 스테이지 게이트 회로(457-1)로부터 출력된 클럭 신호(C156A)를 지연시킨다. 가변 지연 회로(458)는 가변 지연 회로(452)의 회로 구조와 같은 회로 구조를 갖는다. 가변 지연 회로(458)로부터 출력된 클럭 신호(C158)는 고정 지연 회로(453)의 회로 구조와 같은 회로 구조를 갖는 고정 지연 회로(459)에 의해 지연된다. 고정 지연 회로(459)는 각각 지연 시간 TA를 공급하는 게이트 회로(460-1, 460-2, ..., 460-n)를 구비한다.

상술한 바와 같이 본 발명의 제 14 실시예에서, 주클럭 신호(MC)를 지연시키는 지연 회로는 고정 지연 회로(448), 가변 지연 회로(452)와 고정 지연 회로(453)를 구비한 제 1 회로 유닛, 가변 지연 회로(455)와 고정 지연 회로(456)를 구비한 제 2 회로 유닛, 가변 지연 회로(458)와 고정 지연 회로(459)를 구비한 제 3 회로 유닛에 의해 구성된다.

또한, 위상 비교기(PC)(461)는 고정 지연 회로(459)로부터 출력된 클럭 신호(C159)의 위상과 고정 지연 회로(450)로부터 출력된 클럭 신호(C150)의 위상을 비교함으로써 가변 지연 회로(452, 455 및 458)를 제어하여 가변 지연 회로(452, 455 및 458)에 지연 시간 제어 전압(VC, VC2)을 공급함으로써, 고정 지연 회로(459)로부터 출력된 클럭 신호(C159)의 위상이 고정 지연 회로(450)로부터 출력된 클럭 신호(C150)의 위상과 같아지도록 한다. 본 실시예에서, 지연 로크 루프 회로는 가변 지연 회로(452, 455 및 458), 고정 지연 회로(453, 456 및 459) 및 위상 비교기(461)를 구비한다.

고정 지연 회로(462)는 고정 지연 회로(456)의 제 n-p2 게이트 회로(457-(p2+1))로부터 출력된 클럭 신호(C156B)를 지연시킨다. 고정 지연 회로(462)는 각각 지연 시간 TA를 공급하는 게이트 회로(예컨대, CMOS 인버터)(463-1, 463-2, ..., 463-(k2-k1))를 구비한다. k1은  $\{(TL/TA)L + n + p1 - m1\}$ 과 같고, k2는  $\{(TL/TA)L + n + p2 - m2\}$ 와 같은 것에 유의하여야 한다.

도 33은 도 32에 나타낸 회로의 동작을 설명하는 파형도이다. 도 33a는 주클럭 신호(MC)를 나타내고, 도 33b는 고정 지연 회로(448)로부터 출력된 클럭 신호(C148)를 나타내고, 도 33c는 클럭 신호(MCA)를 나타내고, 도 33d는 고정 지연 회로(450)로부터 출력된 클럭 신호(C150)를 나타내고, 도 33e는 고정 지연 회로(453)의 최종 스테이지 게이트 회로(454-1)로부터 출력된 클럭 신호(C153A)를 나타내고, 도 33f는 고정 지연 회로(453)의 제 n-p1 게이트 회로(454-(p1+1))로부터 출력된 클럭 신호(C153B)를 나타내고, 도 33g는 클럭 전송 회로(443)로부터 출력된 클럭 신호(QC1)를 나타낸다. 또한, 도 33h는 고정 지연 회로(456)의 제 최종 게이트 회로(457-1)로부터 출력된 클럭 신호(C156A)를 나타내고, 도 33i는 고정 지연 회로(456)의 제 n-p2 게이트 회로(457-(p2+1))로부터 출력된 클럭 신호(C156B)를 나타내고, 도 33j는 고정 지연 회로(462)로부터 출력된 클럭 신호(C162)를 나타내고, 도 33k는 클럭 전송 회로(445)로부터 출력된 클럭 신호(QC2)를 나타내고, 도 33l은 고정 지연 회로(459)로부터 출력된 클럭 신호(C159)를 나타낸다.

본 실시예에서, 각각의 가변 지연 회로(452, 455 및 458)는 동일한 회로 구조를 갖고, 각각의 고정 지연 회로(453, 456 및 459)도 또한 동일한 회로 구조를 갖는다.

따라서, 클럭 신호(MC 및 MCA)간의 위상 차가 270 도일 때, 고정 지연 회로(453)의 최종 스테이지 게이트 회로(454-1)로부터 출력된 클럭 신호(C153A)의 위상은 고정 지연 회로(448)로부터 출력된 클럭 신호(C148)의 위상으로부터 90 도 만큼 지연되고; 고정 지연 회로(456)의 최종 스테이지 게이트 회로(457-1)로부터 출력된 클럭 신호(C156A)의 위상은 고정 지연 회로(448)로부터 출력된 클럭 신호(C148)의 위상으로부터 180 도 만큼 지연되고; 고정 지연 회로(459)로부터 출력된 클럭 신호(C159)의 위상은 고정 지연 회로(448)로부터 출력된 클럭 신호(C148)의 위상으로부터 270 도 만큼 지연된다.

고정 지연 회로(448)의 게이트 회로의 수 k1은  $\{(TL/TA)L + n + p1 - m1\}$ 과 같기 때문에, 고정 지연 회로(453)의 제 n-p1 게이트 회로(454-(p1+1))로부터 출력된 클럭 신호(C153B)의 위상은 고정 지연 회로(456)의 최종 스테이지 게이트 회로(457-1)로부터 출력된 클럭 신호(C156A)의 위상보다 클럭 전송 회로(448)의 지연 시간(Tk1)과 클럭 전송 회로(443)의 지연 시간(Tm1)의 합인 지연 시간(Tk + Tm1) 만큼 앞선다. 즉, 클럭 전송 회로(443)로부터 출력된 클럭 신호(QC1)의 위상은 주클럭 신호(MC)의 위상으로부터 180 도 만큼 지연된다.

또한, 고정 지연 회로(437)의 게이트 회로의 수 k2-k1은  $\{(TL/TA)L + n + p2 - m2 - k1\}$ 과 같기 때문에, 고정 지연 회로(462)로부터 출력된 클럭 신호(C162)의 위상은 고정 지연 회로(459)로부터 출력된 클럭 신호(C159)의 위상보다 고정 지연 회로(448)의 지연 시간(Tk1)과 클럭 전송 회로(445)의 지연 시간(Tm2)의 합인 지연 시간(Tk1 + Tm2) 만큼 앞선다. 즉, 클럭 전송 회로(445)로부터 출력된 클럭 신호(QC2)의 위상은 주클럭 신호(MC)의 위상으로부터 270 도 만큼 지연된다.

따라서, 본 발명의 제 14 실시예에서, 주클럭 신호(MC)를 지연시킴으로써 발생하며 180 도 만큼 지연된

위상을 갖는 클럭 신호(QC1)와, 주클럭 신호(MC)를 지연시킴으로써 발생하고 270 도 만큼 지연된 위상을 갖는 클럭 신호(QC2)는 공정 조건, 온도 변화 또는 전원 전압의 레벨에 무관하게 회로(442)에 공급할 수 있다.

도 34 ~ 도 52를 참조하여 본 발명의 제 15 실시예에 대해 설명한다. 도 34는 본 발명의 제 15 실시예에 의한 반도체 집적 회로의 부분 회로도이다.

도 34에서, 주클럭 신호(MC)는 주클럭 입력 단자(565)에 입력된다. 주클럭 신호(MC)는 가변 지연 회로(566)에 의해 지연된다. 가변 지연 회로(566)로부터 출력된 클럭 신호(C166)는 고정 지연 회로(567)에 의해 지연된다. 가변 지연 회로(566) 및 고정 지연 회로(567)의 회로 구조를 표 35에 나타낸다.

도 35에 나타낸 바와 같이, 가변 지연 회로(566)는 가변 지연 인버터(568 ~ 573) 및 인버터(574, 575)를 구비한다. 각각의 가변 지연 인버터(568 ~ 573)는 가변 지연 시간을 공급한다. 인버터(574, 575)는 각각 고정 지연 시간을 공급한다. 각각의 가변 지연 인버터(568 ~ 573)의 회로 구조는 도 36에 나타내고, 각각의 인버터(574, 575)의 회로 구조는 도 37에 나타낸다.

도 36에 나타낸 바와 같이, 각각의 가변 지연 인버터(568 ~ 573)는 VCC 전원선(576), pMOS 트랜지스터(577, 578) 및 nMOS 트랜지스터(579, 580)를 구비한다. 도 37에 나타낸 바와 같이, 각각의 인버터(574, 575)는 VCC 전원선(581), pMOS 트랜지스터(582) 및 nMOS 트랜지스터(583)를 구비한다.

또한, 도 34에서 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)는 가변 지연 회로(584)에 의해 지연된다. 가변 지연 회로(584)로부터 출력된 클럭 신호(C184)는 고정 지연 회로(585)에 의해 지연된다. 고정 지연 회로(585)로부터 출력된 클럭 신호(C185)는 가변 지연 회로(586)에 의해 지연된다. 가변 지연 회로(586)로부터 출력된 클럭 신호(C186)는 고정 지연 회로(587)에 의해 지연된다.

도 38은 가변 지연 회로(584, 586)와 고정 지연 회로(585, 587)의 회로도이다. 가변 지연 회로(584)는 가변 지연 인버터(588, 589)를 구비하고, 가변 지연 회로(586)는 가변 지연 인버터(590, 591)를 구비한다. 각각의 가변 지연 인버터(588 ~ 591)는 도 36에 나타낸 회로와 같은 회로 구조를 갖는다. 고정 지연 회로(585)는 인버터(592 ~ 595)를 구비하고, 고정 지연 회로(587)는 인버터(596 ~ 599)를 구비한다. 각각의 인버터(592 ~ 599)는 도 37에 나타낸 회로와 같은 회로 구조를 갖는다.

또한, 도 34에서 고정 지연 회로(587)로부터 출력된 클럭 신호(C187)는 가변 지연 회로(600)에 의해 지연된다. 가변 지연 회로(600)로부터 출력된 클럭 신호(C200)는 고정 지연 회로(601)에 의해 지연된다. 고정 지연 회로(601)로부터 출력된 클럭 신호(C201)는 가변 지연 회로(602)에 의해 지연된다. 가변 지연 회로(602)로부터 출력된 클럭 신호(C202)는 고정 지연 회로(603)에 의해 지연된다.

도 39는 가변 지연 회로(600, 602)와 고정 지연 회로(601, 603)의 회로도이다. 가변 지연 회로(600)는 가변 지연 인버터(604, 605)를 구비하고, 가변 지연 회로(602)는 가변 지연 인버터(606, 607)를 구비한다. 각각의 가변 지연 인버터(604 ~ 607)는 도 36에 나타낸 회로와 같은 회로 구조를 갖는다. 고정 지연 회로(601)는 인버터(608 ~ 611)를 구비하고, 고정 지연 회로(603)는 인버터(612 ~ 615)를 구비한다. 각각의 인버터(608 ~ 615)는 도 37에 나타낸 회로와 같은 회로 구조를 갖는다.

또한, 도 34에서 고정 지연 회로(603)로부터 출력된 클럭 신호(C203)는 가변 지연 회로(616)에 의해 지연된다. 가변 지연 회로(616)로부터 출력된 클럭 신호(C216)는 고정 지연 회로(617)에 의해 지연된다. 고정 지연 회로(617)로부터 출력된 클럭 신호(C217)는 가변 지연 회로(618)에 의해 지연된다. 가변 지연 회로(618)로부터 출력된 클럭 신호(C218)는 고정 지연 회로(619)에 의해 지연된다.

도 40은 가변 지연 회로(616, 618)와 고정 지연 회로(617, 619)의 회로도이다. 가변 지연 회로(616)는 가변 지연 인버터(620, 621)를 구비하고, 가변 지연 회로(618)는 가변 지연 인버터(622, 623)를 구비한다. 각각의 가변 지연 인버터(620 ~ 623)는 도 36에 나타낸 회로와 같은 회로 구조를 갖는다. 고정 지연 회로(617)는 인버터(624 ~ 627)를 구비하고, 고정 지연 회로(619)는 인버터(628 ~ 631)를 구비한다. 각각의 인버터(624 ~ 631)는 도 37에 나타낸 회로와 같은 회로 구조를 갖는다.

또한, 도 34에서 고정 지연 회로(619)로부터 출력된 클럭 신호(C219)는 가변 지연 회로(632)에 의해 지연된다. 가변 지연 회로(632)로부터 출력된 클럭 신호(C232)는 고정 지연 회로(633)에 의해 지연된다. 고정 지연 회로(633)로부터 출력된 클럭 신호(C233)는 가변 지연 회로(634)에 의해 지연된다. 가변 지연 회로(634)로부터 출력된 클럭 신호(C234)는 고정 지연 회로(635)에 의해 지연된다.

도 41은 가변 지연 회로(632, 634)와 고정 지연 회로(633, 635)의 회로도이다. 가변 지연 회로(632)는 가변 지연 인버터(636, 637)를 구비하고, 가변 지연 회로(634)는 가변 지연 인버터(638, 639)를 구비한다. 각각의 가변 지연 인버터(636 ~ 639)는 도 36에 나타낸 회로와 같은 회로 구조를 갖는다. 고정 지연 회로(633)는 인버터(640 ~ 643)를 구비하고, 고정 지연 회로(635)는 인버터(644 ~ 647)를 구비한다. 각각의 인버터(640 ~ 647)는 도 37에 나타낸 회로와 같은 회로 구조를 갖는다.

상술한 바와 같이, 본 발명의 제 15 실시예에서 주클럭 신호(MC)를 지연시키는 지연 회로는 가변 지연 회로(566)와 고정 지연 회로(567)를 구비한 제 1 지연 회로 유닛, 가변 지연 회로(584)와 고정 지연 회로(585)를 구비한 제 2 지연 회로 유닛, 가변 지연 회로(586)와 고정 지연 회로(587)를 구비한 제 3 지연 회로 유닛, 가변 지연 회로(600)와 고정 지연 회로(601)를 구비한 제 4 지연 회로 유닛, 가변 지연 회로(602)와 고정 지연 회로(603)를 구비한 제 5 지연 회로 유닛, 가변 지연 회로(616)와 고정 지연 회로(617)를 구비한 제 6 지연 회로 유닛, 가변 지연 회로(618)와 고정 지연 회로(619)를 구비한 제 7 지연 회로 유닛, 가변 지연 회로(632)와 고정 지연 회로(633)를 구비한 제 8 지연 회로 유닛 및 가변 지연 회로(634)와 고정 지연 회로(635)를 구비한 제 9 지연 회로 유닛을 구비한다.

또한, 도 34에서 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)는 위상 비교 및 충전 펄프 회로(698) 구동용 클럭 신호를 발생시키는 고정 지연 회로(649)에 공급된다. 고정 지연 회로(587)로부터 출력된 클럭 신호(C187)는 위상 비교 및 충전 펄프 회로(698) 구동용 클럭 신호를 발생시키는 고정 지연 회로(650)에 공급된다. 고정 지연 회로(619)로부터 출력된 클럭 신호(C219)는 위상 비교 및 충전 펄프 회

로(698) 구동용 클럭 신호를 발생시키는 고정 지연 회로(651)에 공급된다. 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)는 위상 비교 및 충전 펌프 회로(698) 구동용 클럭 신호를 발생시키는 고정 지연 회로(652)에 공급된다.

도 42a ~ 도 42d는 각각 고정 지연 회로(649 ~ 652)의 회로도이다. 도 42a에 나타난 바와 같이, 고정 지연 회로(649)는 직렬 접속된 인버터(654 ~ 658)를 구비한다. 도 42b에 나타난 바와 같이, 고정 지연 회로(650)는 직렬 접속된 인버터(659 ~ 663)를 구비한다. 도 42c에 나타난 바와 같이, 고정 지연 회로(651)는 직렬 접속된 인버터(664 ~ 668)를 구비한다. 도 42d에 나타난 바와 같이, 고정 지연 회로(652)는 직렬 접속된 인버터(669 ~ 673)를 구비한다.

도 34에 나타난 바와 같이, 전원 다운 신호(PDZ)는 위상 비교 및 충전 펌프 회로(698)의 개시를 제어하는 스타터 회로(675)에 공급된다. 스타터 회로(675)의 회로 구조는 도 43에 나타난다. 도 43에서 전원 다운 신호(PDZ)는 인버터(677)에 의해 변환된다. 그 후 인버터(677)의 출력은 인버터(678)에 의해 변환된다.

스위치 소자인 pMOS 트랜지스터(679)의 온/오프 동작은 주클럭 신호(MC)에 의해 제어한다. 래치 회로(680)는 인버터(681)와 NOR 회로(682)를 구비한다.

스위치 소자인 nMOS 트랜지스터의 온/오프 동작(683)은 주클럭 신호(MC)에 의해 제어된다. 래치 회로(684)는 인버터(685)와 NAND 회로(686)를 구비한다.

스위치 소자인 pMOS 트랜지스터(687)의 온/오프 동작은 주클럭 신호(MC)에 의해 제어한다. 래치 회로(688)는 인버터(689)와 NOR 회로(690)를 구비한다.

스위치 소자인 nMOS 트랜지스터(691)의 온/오프 동작은 주클럭 신호(MC)에 의해 제어한다. 래치 회로(692)는 인버터(693)와 NOR 회로(694)를 구비한다.

또한, 래치 회로(692)의 출력은 인버터(695)에 의해 변환된다. 인버터(695)의 출력은 인버터(696)에 의해 변환된다.

도 34에 나타난 바와 같이, 위상 비교 및 충전 펌프 회로(698)는 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)와 고정 지연 회로(667)로부터 출력된 클럭 신호(C167)를 비교하여 가변 지연 회로용 제어 전압을 공급하기 위한 펌프 동작을 행함으로써, 클럭 신호(C235)가 클럭 신호(C167)와 일치하게 된다. 지연 시간 제어 전압 발생 및 평활 회로(699)는 위상 비교 및 충전 펌프 회로(698)의 펌프 동작에 대응하여 지연 시간 제어 전압 발생 및 평활 회로(700)는 위상 비교 및 충전 펌프 회로(698)의 펌프 동작에 대응하여 지연 시간 제어 전압(VCZ)을 발생시킨다.

도 44는 위상 비교 및 충전 펌프 회로(698) 및 지연 시간 제어 전압 발생 및 평활 회로(699, 700)의 회로도이다.

도 44에 나타난 위상 비교 및 충전 펌프 회로(698)에서, pMOS 트랜지스터(702)의 온/오프 동작은 스타터 회로(675)의 인버터(677)의 출력(C277)에 의해 제어하고, nMOS 트랜지스터(703)의 온/오프 동작은 스타터 회로(675)의 인버터(677)의 출력(C277)에 의해 제어한다. nMOS 트랜지스터(704)의 온/오프 동작은 스타터 회로(675)의 인버터(696)의 출력(C296)에 의해 제어한다.

또한, pMOS 트랜지스터(705)의 온/오프 동작은 스타터 회로(675)의 인버터(695)의 출력(C295)에 의해 제어한다. pMOS 트랜지스터(706)의 온/오프 동작은 스타터 회로(675)의 인버터(678)의 출력(C278)에 의해 제어한다. nMOS 트랜지스터(707)의 온/오프 동작은 스타터 회로(675)의 인버터(678)의 출력(C278)에 의해 제어한다.

pMOS 트랜지스터(708)의 온/오프 동작은 고정 지연 회로(651)의 인버터(668)로부터 출력된 클럭 신호(CP3)에 의해 제어한다. 인버터(709)의 온/오프 동작은 고정 지연 회로(650)의 인버터(662)로부터 출력된 클럭 신호(CP1)에 의해 제어한다.

NAND 회로(710)는 고정 지연 회로(649)의 인버터(658)로부터 출력된 클럭 신호(C15) 및 고정 지연 회로(652)의 인버터(670)로부터 출력된 클럭 신호(C02)상에 NAND 동작을 행한다. pMOS 트랜지스터(711)의 온/오프 동작은 NAND 회로(710)의 출력에 의해 제어한다.

NOR 회로(712)는 고정 지연 회로(652)의 인버터(672)로부터 출력된 클럭 신호(C04) 및 고정 지연 회로(649)의 인버터(654)로부터 출력된 클럭 신호(C11)상에 NOR 동작을 행한다. nMOS 트랜지스터(713)의 온/오프 동작은 NOR 회로(712)의 출력에 의해 제어한다.

nMOS 트랜지스터(714)의 온/오프 동작은 고정 지연 회로(650)의 인버터(663)로부터 출력된 클럭 신호(CP1)에 의해 제어한다. nMOS 트랜지스터(715)의 온/오프 동작은 스타터 회로(651)의 인버터(667)로부터 출력된 클럭 신호(CP3)에 의해 제어한다.

pMOS 트랜지스터(716)의 온/오프 동작은 고정 지연 회로(651)의 인버터(668)로부터 출력된 클럭 신호(CP3)에 의해 제어한다. pMOS 트랜지스터(717)의 온/오프 동작은 고정 지연 회로(650)의 인버터(662)로부터 출력된 클럭 신호(CP1)에 의해 제어한다.

NAND 회로(718)는 고정 지연 회로(652)의 인버터(673)로부터 출력된 클럭 신호(C05) 및 고정 지연 회로(649)의 인버터(655)로부터 출력된 클럭 신호(C12)상에 NAND 동작을 행한다. pMOS 트랜지스터(719)의 온/오프 동작은 NAND 회로(718)의 출력에 의해 제어한다.

NOR 회로(720)는 고정 지연 회로(649)의 인버터(657)로부터 출력된 클럭 신호(C14) 및 고정 지연 회로(652)의 인버터(669)로부터 출력된 클럭 신호(C01)상에 NOR 동작을 행한다. nMOS 트랜지스터(721)의 온/오프 동작은 NOR 회로(720)의 출력에 의해 제어한다.

nMOS 트랜지스터(722)의 온/오프 동작은 고정 지연 회로(650)의 인버터(663)로부터 출력된 클럭 신호

(CP1)에 의해 제어한다. nMOS 트랜지스터(723)의 온/오프 동작은 고정 지연 회로(651)의 인버터(667)로부터 출력된 클럭 신호(CP3)에 의해 제어한다.

제어 전압 발생 및 평활 회로(699)에서, 커패시터(724)는 nMOS 트랜지스터를 구비한다. 제어 전압 발생 및 평활 회로(700)에서, 커패시터(725)는 pMOS 트랜지스터를 구비한다.

상술한 바와 같이, 본 발명에서 제 1 위상 비교 및 충전 펌프 회로는 pMOS 트랜지스터(702, 708, 709 및 711), nMOS 트랜지스터(703, 704, 713, 714 및 715), NAND 회로(710) 및 NOR 회로(712)를 구비한다. 제 1 위상 비교 및 충전 펌프 회로는 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)와 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)를 비교함으로써 커패시터(724)에 대한 펌프 동작을 행한다.

또한, 제 2 위상 비교 및 충전 펌프 회로는 pMOS 트랜지스터(705, 706, 716, 717 및 719), nMOS 트랜지스터(707, 721, 722 및 723), NAND 회로(718) 및 NOR 회로(720)를 구비한다. 제 2 위상 비교 및 충전 펌프 회로는 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)와 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)를 비교함으로써 커패시터(725)에 대한 펌프 동작을 행한다.

제 1 위상 비교 및 충전 펌프 회로에서, NAND 회로(710) 및 NOR 회로(712)는 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)와 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)를 비교하는 비교기의 주기율을 위해 사용된다. 또한, pMOS 트랜지스터(702) 및 nMOS 트랜지스터(703)는 전원 다른 기간 중 전류를 차단하기 위해 작용한다. 또한, nMOS 트랜지스터(704)는 스타터로서 작용한다. pMOS 트랜지스터(708, 709) 및 nMOS 트랜지스터(714, 715)는 큰 위상의 오프셋이 발생할 때 풀-인 동작을 행한다.

또한, 제 2 위상 비교 및 충전 펌프 회로에서 NAND 회로(718) 및 NOR 회로(720)는 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)와 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)를 비교하는 비교기의 주기율을 위해 사용된다. 또한, pMOS 트랜지스터(706) 및 nMOS 트랜지스터(707)는 전원 다른 기간 중 전류를 차단하기 위해 작용한다. 또한, nMOS 트랜지스터(707)는 스타터로서 작용한다. pMOS 트랜지스터(716, 717) 및 nMOS 트랜지스터(722, 723)는 큰 위상의 오프셋이 발생할 때 풀-인 동작을 행한다.

본 실시예의 스타터 회로(675)에서, 전원 다른 신호(PDZ)는 위상 비교 및 충전 펌프 회로(698)가 개시되기 전에는 저 레벨(L-레벨)에 있다. 그 결과 스타터 회로(675)에서, 인버터(677)의 출력(C277)은 고 레벨(H-레벨)이고, 인버터(678)의 출력(C278)은 L-레벨이고, 인버터(695)의 출력(C295)은 H-레벨이고, 인버터(696)의 출력(C296)은 L-레벨이다.

그 결과 위상 비교 및 충전 펌프 회로(698)에서, pMOS 트랜지스터(702)는 턴 오프되고, nMOS 트랜지스터(703)는 턴 온되고, nMOS 트랜지스터(704)는 턴 오프되고, pMOS 트랜지스터(705)는 턴 오프되고, pMOS 트랜지스터(706)는 턴 온되고, nMOS 트랜지스터(707)는 턴 오프된다.

따라서, 이 경우 nMOS 트랜지스터(724) 및 pMOS 트랜지스터(725)는 방전 상태이고, 지연 시간 제어 전압(VC)은 0 이고, 지연 시간 제어 전압(VCZ)은 전원 전압(VCC)과 같다.

전원 신호(PDZ)가 H-레벨로 변화될 경우, 인버터(677)의 출력(C277)은 L-레벨로 변화되고, 인버터(678)의 출력(C278)은 H-레벨로 변화된다.

그 결과 위상 비교 및 충전 펌프 회로(698)에서, pMOS 트랜지스터(702)는 턴 온되고, nMOS 트랜지스터(703)는 턴 오프되고, pMOS 트랜지스터(706)는 턴 오프되고, nMOS 트랜지스터(707)는 턴 온된다. 즉, nMOS 트랜지스터(704) 및 pMOS 트랜지스터(705)는 여전히 오프 상태이므로, nMOS 커패시터(724) 및 pMOS 커패시터(725)는 빠르게 충전된다.

그 후, 주클럭 신호(NC)의 2 주기가 경과할 경우, 인버터(695)의 출력(C295)은 L-레벨로 변화되고, 인버터(696)의 출력(C296)은 H-레벨로 변화된다.

그 결과, 위상 비교 및 충전 펌프 회로(698)에서, nMOS 트랜지스터(704)는 턴 온되고, pMOS 트랜지스터(705)도 턴 온된다. 즉, 위상 비교 및 충전 펌프 회로(698)는 정규 동작을 행하는 상태로 설정된다.

도 45 내지 도 52는 위상 비교 및 충전 펌프 회로(698)의 동작을 설명하는 파형도이다. 도 45 및 도 46은 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)가 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)와 일치하는 경우를 나타낸다.

이 경우, 도 45에 나타난 바와 같이, 고정 지연 회로(649)의 인버터(658)로부터 출력된 클럭 신호(C15)가 H-레벨에서 고정 지연 회로(652)의 인버터(670)로부터 출력된 클럭 신호(C02)와 오버랩 되는 기간은 3 스테이지에 대응하는 게이트 회로의 총 지연 시간에 대응한다. 즉, pMOS 트랜지스터(711)를 턴 온시키는데 충분한 전압이 NAND 회로(710)로부터 출력되는 것은 아니다.

또한, 도 45에 나타난 바와 같이, 고정 지연 회로(652)의 인버터(672)로부터 출력된 클럭 신호(C04)가 L-레벨에서 고정 지연 회로(649)의 인버터(654)로부터 출력된 클럭 신호(C11)와 오버랩 되는 기간은 3 스테이지에 대응하는 게이트 회로의 총 지연 시간에 대응한다. 즉, pMOS 트랜지스터(713)를 턴 온시키는데 충분한 전압이 NAND 회로(712)로부터 출력되는 것은 아니다.

도 46에 나타난 바와 같이, 고정 지연 회로(652)의 인버터(673)로부터 출력된 클럭 신호(C05)가 H-레벨에서 고정 지연 회로(649)의 인버터(655)로부터 출력된 클럭 신호(C12)와 오버랩 되는 기간은 3 스테이지에 대응하는 게이트 회로의 총 지연 시간에 대응한다. 즉, pMOS 트랜지스터(719)를 턴 온시키는데 충분한 전압이 NAND 회로(718)로부터 출력되는 것은 아니다.

또한, 도 46에 나타난 바와 같이, 고정 지연 회로(649)의 인버터(657)로부터 출력된 클럭 신호(C14)가 L-레벨에서 고정 지연 회로(652)의 인버터(659)로부터 출력된 클럭 신호(C01)와 오버랩 되는 기간은 3 스테이지에 대응하는 게이트 회로의 총 지연 시간에 대응한다. 즉, nMOS 트랜지스터(721)를 턴 온시키는데 충분한 전압이 NOR 회로(720)로부터 출력되는 것은 아니다.

도 47 및 도 48은 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)가 고정 지연 회로(567)로부터 출력

된 클럭 신호(C167)의 위상보다 앞선 경우를 나타낸다.

이 경우, 도 47에 나타난 바와 같이, 고정 지연 회로(649)의 인버터(658)로부터 출력된 클럭 신호(C15)가 H-레벨에서 고정 지연 회로(652)의 인버터(670)로부터 출력된 클럭 신호(C02)와 오버랩 되는 기간은 3 스테이지에 대응하는 게이트 회로의 총 지연 시간보다 길다. 즉, 펄스 전압은 NAND 회로(710)로부터 출력되며, 이 펄스 전압은 주기적으로 pMOS 트랜지스터(711)를 턴 온시킨다. 이 경우, pMOS 트랜지스터(702)가 턴 온되므로, pMOS 트랜지스터(702, 708, 709 및 711)에 의해 풀-업 동작을 행한다. 따라서, 지연 시간 제어 전압(VC)이 증가된다.

도 47에 나타난 시간(T1) 중, nMOS 트랜지스터(714, 715)는 오프 상태로 유지되는 반면에 nMOS 트랜지스터(713)는 턴 온되는 것에 유의하여야 한다. 즉, nMOS 트랜지스터(713, 714, 715 및 704)에 의해 풀-다운 동작이 행해지지 않는다.

또한, 도 48에 나타난 바와 같이, 고정 지연 회로(649)의 인버터(657)로부터 출력된 클럭 신호(C14)가 H-레벨에서 고정 지연 회로(652)의 인버터(669)로부터 출력된 클럭 신호(C01)와 오버랩 되는 기간은 3 스테이지에 대응하는 게이트 회로의 총 지연 시간보다 길다. 즉, 펄스 전압은 NOR 회로(720)로부터 출력되며, 이 펄스 전압은 주기적으로 nMOS 트랜지스터(721)를 턴 온시킨다. 이 경우, nMOS 트랜지스터(722, 723)가 턴 온되므로, nMOS 트랜지스터(721, 722, 723 및 707)에 의해 풀-다운 동작을 행한다. 따라서, 지연 시간 제어 전압(VC2)이 증가된다.

도 48에 나타난 시간(T2) 중, pMOS 트랜지스터(716, 717)는 오프 상태로 유지되는 반면에 pMOS 트랜지스터(719)는 턴 온되는 것에 유의하여야 한다. 즉, pMOS 트랜지스터(705, 716, 717 및 719)에 의해 풀-업 동작이 행해지지 않는다.

따라서, 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)의 위상이 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)의 위상보다 앞서는 경우, 각각의 가변 지연 회로(586, 584, 586, 600, 602, 616, 618, 632 및 634)의 지연 시간을 증가시킴으로써 지연 제어를 행하여 클럭 신호(C235)를 클럭 신호(C167)와 일치시킨다.

도 49 및 도 50은 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)의 위상이 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)의 위상으로부터 지연된 경우를 나타낸다.

이 경우, 고정 지연 회로(652)의 인버터(672)로부터 출력된 클럭 신호(C04)가 L-레벨에서 고정 지연 회로(649)의 인버터(654)로부터 출력된 클럭 신호(C11)와 오버랩 되는 기간은 3 스테이지에 대응하는 게이트 회로의 총 지연 시간보다 길다. 즉, 펄스 전압은 NOR 회로(712)로부터 출력되며, 이 펄스 전압은 주기적으로 nMOS 트랜지스터(713)를 턴 온시킨다. 이 경우, nMOS 트랜지스터(714, 715)가 턴 온되므로, nMOS 트랜지스터(713, 714, 715 및 704)에 의해 풀-다운 동작을 행한다. 따라서, 지연 시간 제어 전압(VC)이 증가된다.

도 49에 나타난 시간(T3) 중, pMOS 트랜지스터(708, 709)는 오프 상태로 유지되는 반면에 pMOS 트랜지스터(711)는 턴 온되는 것에 유의하여야 한다. 즉, pMOS 트랜지스터(702, 708, 709 및 711)에 의해 풀-업 동작이 행해지지 않는다.

또한, 고정 지연 회로(652)의 인버터(673)로부터 출력된 클럭 신호(C05)가 L-레벨에서 고정 지연 회로(649)의 인버터(655)로부터 출력된 클럭 신호(C12)와 오버랩 되는 기간은 3 스테이지에 대응하는 게이트 회로의 총 지연 시간보다 길다. 즉, 펄스 전압은 NAND 회로(718)로부터 출력되며, 이 펄스 전압은 주기적으로 nMOS 트랜지스터(719)를 턴 온시킨다. 이 경우, pMOS 트랜지스터(716, 717)가 턴 온되므로, pMOS 트랜지스터(705, 716, 717 및 719)에 의해 풀-업 동작을 행한다. 따라서, 지연 시간 제어 전압(VC2)이 증가된다.

도 50에 나타난 시간(T4) 중, nMOS 트랜지스터(722, 723)는 오프 상태로 유지되는 반면에 nMOS 트랜지스터(721)는 턴 온되는 것에 유의하여야 한다. 즉, nMOS 트랜지스터(721, 722, 723 및 707)에 의해 풀-다운 동작이 행해지지 않는다.

따라서, 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)의 위상이 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)의 위상보다 앞서는 경우, 각각의 가변 지연 회로(586, 584, 586, 600, 602, 616, 618, 632 및 634)의 지연 시간을 증가시킴으로써 지연 제어를 행하여 클럭 신호(C235)를 클럭 신호(C167)와 일치시킨다.

도 51 및 도 52는 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)의 위상이 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)의 위상으로부터 180 도 만큼 지연된 경우를 나타낸다.

이 경우, nMOS 트랜지스터(713, 714 및 715)는 모두 턴 온되며, nMOS 트랜지스터(713, 714, 715 및 704)에 의해 풀-다운 동작을 행한다. 즉, 지연 시간 제어 전압(VC)이 빠르게 증가한다.

또한, 도 52에 나타난 시간(T6) 중, pMOS 트랜지스터(716, 717 및 719)가 모두 턴 온되므로 pMOS 트랜지스터(705, 716, 717 및 719)에 의해 풀-업 동작을 행한다. 즉, 지연 시간 제어 전압(VC2)이 빠르게 증가된다.

이 경우, pMOS 트랜지스터(708, 709 및 711)가 모두 동시에 턴 온될 가능성은 없다는 것에 유의하여야 한다. 또한, nMOS 트랜지스터(721, 722 및 723)의 모두가 동시에 턴 온되는 것이 방지된다.

따라서, 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)의 위상은 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)의 위상으로부터 180 도 만큼 지연될 경우, 각각의 가변 지연 회로(584, 586, 600, 602, 616, 618, 632 및 634)의 지연 시간이 빠르게 증가시킴으로써 지연 제어를 행하여 클럭 신호(C235)의 위상을 클럭 신호(C167)의 위상쪽으로 빠르게 시프트시킨다.

본 실시예에서, 8 개의 가변 지연 회로(584, 586, 600, 602, 616, 618, 632 및 634)의 각각은 동일한 회로 구조를 갖고, 8 개의 고정 지연 회로(585, 587, 601, 603, 617, 619, 633 및 635)의 각각도 동일한

회로 구조를 갖는다. 또한, 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)가 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)와 일치하도록 제어를 행한다.

따라서, 고정 지연 회로(585)로부터 출력된 클럭 신호(C185)의 위상은 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)의 위상으로부터 45 도 만큼 지연된다. 고정 지연 회로(587)로부터 출력된 클럭 신호(C187)의 위상은 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)의 위상으로부터 90 도 만큼 지연된다.

또한, 고정 지연 회로(601)로부터 출력된 클럭 신호(C201)는 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)의 위상으로부터 135 도 만큼 지연된다. 고정 지연 회로(603)로부터 출력된 클럭 신호(C203)의 위상은 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)의 위상으로부터 180 도 만큼 지연된다.

고정 지연 회로(617)로부터 출력된 클럭 신호(C217)의 위상은 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)의 위상으로부터 225 도 만큼 지연된다. 고정 지연 회로(619)로부터 출력된 클럭 신호(C219)의 위상은 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)의 위상으로부터 270 도 만큼 지연된다.

또한, 고정 지연 회로(633)로부터 출력된 클럭 신호(C233)는 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)의 위상으로부터 315 도 만큼 지연된다. 고정 지연 회로(635)로부터 출력된 클럭 신호(C235)의 위상은 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)의 위상으로부터 360 도 만큼 지연된다.

그 결과, 클럭 신호를 필요로 하는 회로에 가변 지연 회로(584, 585, 600, 602, 616, 618, 632 및 634)로부터 출력된 클럭 신호 또는 고정 지연 회로(585, 587, 601, 603, 617, 619, 633 및 635)에 구비된 게이트 회로중 최종 스테이지 게이트 회로 외의 소정의 게이트 회로의 출력 단지에서 얻어진 클럭 신호를 공급할 경우, 데이터 전송 회로를 구비할지라도 공정 조건, 온도 변화 또는 전원 전압의 레벨에 무관하게 주클럭 신호(MC)로부터 0 도, 45 도, 90 도, 135 도, 180 도, 225 도, 270 도 또는 315 도 만큼 다른 위상을 갖는 클럭 신호를 공급할 수 있다.

예컨대, 클럭 신호를 필요로 하는 회로에 게이트 회로의 3 스테이지를 구비한 데이터 전송 회로를 거쳐서 고정 지연 회로(585)의 제 1 스테이지 인버터(592)로부터 출력된 클럭 신호를 공급할 경우, 고정 지연 회로(567)로부터 출력된 클럭 신호(C167)에 대해 45 도의 위상차를 갖는 클럭 신호를 공정 조건, 온도 변화 또는 전원 전압의 레벨에 무관하게 공급할 수 있다.

제 8 실시예 ~ 제 15 실시예의 특징은 본 발명의 범위내에서 한정할 수 있음을 인식하여야 한다. 예컨대, 제 15 실시예에 관련해 설명한 스테터 회로 및 위상 비교 및 충전 펌프 회로는 제 8 실시예에 적용하여도 좋다.

본 발명은 상기 실시예에 국한되는 것은 아니고, 본 발명의 범위내에서 각종 수정과 변형이 가능하다.

#### 발명의 효과

본 발명에 의해, 기입 회복 회로를 구성하는 비트 라인을 풀-업하는데 사용하는 트랜지스터의 게이트 용량에 대한 충전 및 방전 전류를 줄임으로써 전력 소비를 줄일 수 있는 반도체 메모리 장치가 제공된다.

또한, 본 발명에 의해, 기입 데이터 라인 쌍에 대한 충전 및 방전 전류를 줄임으로써 전력 소비를 줄일 수 있는 반도체 메모리 장치가 제공된다.

또한, 본 발명에 의해, 데이터 라인의 전력 소비가 감소된 반도체 집적 회로가 제공된다.

또한, 본 발명에 의해, 공정 조건, 온도 및 회로의 전원 전압의 변화에 관계없이, 소정의 위상차를 생성하기 위한 소정의 클럭 신호의 지연에 의해 생성되는 클럭 신호가 요구되는 회로에 정확한 클럭 신호를 제공할 수 있는 반도체 집적 회로가 제공된다.

#### (57) 청구의 범위

##### 청구항 1

메모리 셀(1)에 접속되고, 기입 데이터에 따라 기입 사이클 중 제 1 및 제 2 비트선(BL, /BL)중의 하나의 전위가 하강하는 상기 제 1 및 제 2 비트선;

상기 전원 전압을 공급하는 전원선(4)과 상기 제 1 비트선(BL)간에 접속된 제 1 부하 소자(2);

상기 전원선(4)과 상기 제 2 비트선(/BL)간에 접속된 제 2 부하 소자(3);

상기 전원선(4)에 접속된 전류 입력 단자와 상기 제 1 비트선(BL)에 접속된 전류 출력 단자를 갖고, 상기 제 1 비트선(BL)을 풀-업하는 제 1 트랜지스터(7); 및

상기 전원선(4)에 접속된 전류 입력 단자와 상기 제 2 비트선(/BL)에 접속된 전류 출력 단자를 갖고, 상기 제 2 비트선(/BL)을 풀-업하는 제 2 트랜지스터(8)를 구비하고,

기입 회복 주기중 트랜지스터 구동 회로(16)는 낮은 전위로 설정된 상기 제 1 비트선 및 상기 제 2 비트선 중의 하나에 접속된 상기 제 1 트랜지스터(7) 및 상기 제 2 트랜지스터(8)중의 하나를 구동하는 것을 특징으로 하는 반도체 메모리 장치.

##### 청구항 2

제 1 항에 있어서,

상기 트랜지스터 구동 회로(16, 32)는 상기 제 1 비트선(BL)을 포함하는 제 1 데이터 전송선의 전압, 상기 제 2 비트선(/BL)을 포함하는 제 2 데이터 전송선의 전압 및 기입 회복 동작 제어용 기입 회복 신호를 제어함으로써, 상기 제 1 트랜지스터(7) 및 상기 제 2 트랜지스터(8)를 구동하는 것을 특징으로 하는 반



도체 메모리 장치.

### 청구항 3

제 2 항에 있어서,

상기 트랜지스터 구동 회로(16)는 상기 기입 회복 신호와 상기 제 2 데이터 전송선 전위의 NAND 동작을 행함으로써 상기 제 1 트랜지스터를 구동하는 제 1 NAND 회로와, 상기 기입 회복 신호와 상기 제 1 데이터 전송선 전위의 NAND 동작을 행함으로써 상기 제 2 트랜지스터(8)를 구동하는 상기 제 2 NAND 회로를 구비한 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 4

제 2 항에 있어서,

상기 트랜지스터 구동 회로(32)는

소스는 상기 전원선(4)에 접속되고 드레인은 제 1 출력 노드(37)에 접속되며, 게이트에 상기 기입 회복 신호가 공급되는 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터(33);

드레인은 상기 제 1 출력 노드에 접속되고 소스에 상기 제 1 데이터 전송선 전위가 공급되며, 게이트에 상기 기입 회복 신호가 공급되는 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터(34);

소스는 상기 전원선(4)에 접속되고 드레인은 제 2 출력 노드(38)에 접속되며, 게이트에 상기 기입 회복 신호가 공급되는 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터(35); 및

드레인은 상기 제 2 출력 노드(38)에 접속되고 소스에 상기 제 2 데이터 전송선 전위가 공급되며, 게이트에 상기 기입 회복 신호가 공급되는 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터(36)를 구비하고,

상기 제 1 트랜지스터(7)와 상기 제 2 트랜지스터(8)는 상기 제 1 출력 노드(37)와 상기 제 2 출력 노드(38)의 전압에 의해 구동되는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 5

2 보다 큰 정수인 n 개의 비트로 된 기입 데이터를 저장하는 반도체 메모리 장치에 있어서,

각각 기입 제어 신호와 n 비트의 기입 데이터에 대응하는 것을 입력하는 n 개의 데이터 입력 버퍼(42-1 ~ 42-16)와,

상기 데이터 입력 버퍼의 각각에 접속되는 n 쌍의 기입 데이터선(WD1, WD1 ~ WD16, WD16)을 구비하여,

상기 데이터 입력 버퍼 각각의 활성화 및 비활성화가, 대응하는 기입 제어 신호에 의해 개별적으로 제어하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 6

제 5 항에 있어서,

각각의 상기 데이터 입력 버퍼(42-1 ~ 42-16)는 그것에 접속된 기입 데이터 선의 하나를 논리 고레벨로 유지하고, 기입 사이클중 활성화될 때 그것에 접속된 기입 데이터 선의 다른 하나를 논리 저레벨로 설정하고,

각각의 상기 데이터 입력 버퍼(42-1 ~ 42-16)는 기입 사이클중 비활성화될 때 그것에 접속된 기입 데이터 선의 양자를 논리 고레벨로 유지하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 7

제 6 항에 있어서,

각각의 상기 데이터 입력 버퍼(42-1 ~ 42-16)는,

입력 단자 및 출력 단자를 구비하여 기입 데이터를 변환하는 제 1 인버터(47);

제 1 단자 및 제 2 단자를 구비하고, 상기 제 1 단자는 상기 제 1 인버터(44)에 접속되며, 입력되는 데이터 전송 신호 및 기입 제어 신호가 활성 상태일 때 턴 온되고 입력되는 데이터 전송 신호가 비활성 상태일 때 턴 오프되는 제 1 스위칭 소자(49);

상기 제 1 스위칭 소자의 상기 제 2 단자에 접속된 입력 단자를 구비한 제 2 인버터(52)와, 상기 제 2 인버터(52)의 출력 단자에 접속된 제 1 입력 단자, 상기 제 2 인버터(52)의 상기 입력 단자에 접속된 출력 단자 및 데이터선 리셋 신호가 공급되는 제 2 입력 단자를 구비한 제 1 NOR 회로(53)를 포함하는 제 1 래치 회로(51);

입력 단자 및 출력 단자를 구비하고, 상기 입력 단자가 상기 제 1 인버터(47)의 상기 출력 단자에 접속된 제 3 인버터(48);

제 1 단자 및 제 2 단자를 구비하고, 상기 제 1 단자는 상기 제 3 인버터(48)에 접속되며, 입력되는 데이터 전송 신호 및 기입 제어 신호가 활성 상태일 때 턴 온되고 입력되는 데이터 전송 신호가 비활성 상태일 때 턴 오프되는 제 2 스위칭 소자(50); 및

상기 제 2 스위칭 소자의 상기 제 2 단자에 접속된 입력 단자를 구비한 제 4 인버터(57)와, 상기 제 4 인버터(57)의 출력 단자에 접속된 제 1 입력 단자, 상기 제 4 인버터(52)의 상기 입력 단자에 접속된 출력 단자 및 데이터선 리셋 신호가 공급되는 제 2 입력 단자를 구비한 제 2 NOR 회로(58)를 포함하는 제 2



래치 회로(51)를 구비한 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 8

데이터 전송에 앞서 소정의 전위로 리셋한 복수의 데이터선(L0 ~ L3)을 구비하고,

전송할 복수의 병렬 비트로 된 전송 데이터를 인코딩하여 전송할 데이터의 내용에 따라 상기 데이터선중 하나의 전위를 변화시키는 트랜스시버(21)를 상기 데이터선에 접속하고;

상기 데이터선의 전위를 디코딩하여 전송 데이터를 재생시키는 수신기(25)를 상기 데이터선에 접속한 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 9

제 8 항에 있어서,

데이터선 프리차지 회로(20)는 상기 복수의 데이터선(L0 ~ L3)을 고전위 레벨로 프리차지시킴으로써 상기 복수의 데이터선을 리셋하고, 상기 트랜스시버(21)는 복수의 트랜스시버 유닛(33-0 ~ 33-3)을 포함하며 상기 각각의 트랜스시버 유닛은,

각 드레인인 상기 데이터선의 대응하는 것에 접속되고, 각 소스는 접지되며 상기 복수의 데이터선의 대응하는 것에 구비된 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터(35-0 ~ 35-3, 37-0 ~ 37-3, 39-0 ~ 39-3, 41-0 ~ 41-3)를 구비하며,

제어 신호에 의해 활성 상태 및 불활성 상태중의 하나로 제어되는 인코더(24)는 전송 데이터를 인코딩하여 상기 인코더가 상기 활성 상태에 설정되어 있을 때, 전송 데이터의 내용에 따라 상기 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터중의 하나를 턴 온하고 상기 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터의 나머지를 턴 오프하며, 상기 인코더가 상기 불활성 상태에 설정되어 있을 때, 상기 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터의 모두를 턴 오프하는 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 10

제 8 항에 있어서,

데이터선 프리차지 회로(20)는 상기 복수의 데이터선(L0 ~ L3)을 고전위 레벨로 프리차지시킴으로써 상기 복수의 데이터선을 리셋하고, 상기 트랜스시버(21)는 복수의 트랜스시버 유닛(47-0 ~ 47-3)을 포함하며, 상기 트랜스시버 유닛 각각은

각각 소스가 상기 데이터선의 대응하는 것에 접속되고 드레인은 접지되며 상기 복수의 데이터선의 대응하는 것에 구비된 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터(49-0 ~ 49-3, 51-0 ~ 51-3, 53-0 ~ 53-3, 55-0 ~ 55-3)를 구비하며,

제어 신호에 의해 활성 상태 및 불활성 상태중의 하나로 제어되는 인코더(24)는, 전송 데이터를 인코딩하여 상기 인코더가 상기 활성 상태에 설정되어 있을 때 전송 데이터의 내용에 따라 상기 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터중의 하나를 턴 온하고 상기 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터의 나머지를 턴 오프하며, 상기 인코더가 상기 불활성 상태에 설정되어 있을 때 상기 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터의 모두를 턴 오프하는 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 11

제 10 항에 있어서,

상기 인코더(28)는 패스 게이트 로직 회로를 구비한 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 12

제 8 항에 있어서,

데이터선 프리차지 회로(58)는 상기 복수의 데이터선(L0 ~ L3)을 고전위 레벨로 프리차지시킴으로써 상기 복수의 데이터선을 리셋하고, 상기 트랜스시버(21)는

메모리 셀로부터 판독한 데이터를 상보 데이터로서 유지하는 복수의 래치 회로(62-0, 62-1); 및

상기 복수의 데이터선과 상기 복수의 래치 회로의 상보 데이터 유지 노드(N0, /N0; N1, /N1)간에 접속된 제 1 패스 게이트 로직 회로(69)를 구비하며,

상기 제 1 패스 게이트 로직 회로는 상기 복수의 래치 회로에 의해 유지되는 상보 데이터를 전송 데이터로서 인코딩하여 상보 데이터의 내용에 따라 상기 복수의 데이터선중의 하나를 방전하는 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 13

제 12 항에 있어서,

상기 수신기(25)는

상기 복수의 데이터선(L0 ~ L3)의 전위를 디코딩하여 상기 복수의 래치 회로에 의해 유지되는 상보 데이터를 재생하는 제 2 패스 게이트 로직 회로; 및

상기 제 2 패스 게이트 로직 회로의 출력을 증폭하는 증폭 회로를 구비한 것을 특징으로 하는 반도체 집

적 회로.

#### 청구항 14

제 12 항에 있어서,

상기 수신기는

상기 복수의 데이터선의 전위를 디코딩하여 상기 복수의 래치 회로에 의해 유지되는 상보 데이터를 재생하는 아날로그 곱셈 회로; 및

상기 아날로그 곱셈 회로의 출력을 증폭하는 증폭 회로를 구비한 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 15

제 12 항에 있어서,

상기 복수의 데이터선의 수는 4 이고, 상기 복수의 래치 회로는 제 1 래치 회로(84-0) 및 제 2 래치 회로(84-1)를 구비하며,

상기 제 1 래치 회로(84-0)는 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터(94) 및 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터(95)를 구비하여, 상기 제 1 및 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터의 드레인 및 게이트는 교차 접속되며, 전송 데이터가 상기 메모리 셀로부터 판독될 때 상기 제 1 및 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인이 제 1 비트선 및 제 2 비트선의 쌍에 접속되고;

상기 제 2 래치 회로(84-1)는 제 3 n-채널 절연 게이트형 전계 효과 트랜지스터(94) 및 제 4 n-채널 절연 게이트형 전계 효과 트랜지스터(95)를 구비하여, 상기 제 3 및 제 4 n-채널 절연 게이트형 전계 효과 트랜지스터의 드레인 및 게이트는 교차 접속되며, 전송 데이터가 상기 메모리 셀로부터 판독될 때 상기 제 3 및 제 4 n-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인이 상기 메모리 셀에 접속된 제 3 비트선 및 제 4 비트선의 쌍에 접속되는 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 16

제 15 항에 있어서,

상기 제 1 패스 게이트 로직 회로는 제 1, 제 2, 제 3 및 제 4 p-채널 절연 게이트형 전계 효과 트랜지스터(70-0 ~ 70-3)를 구비하며,

상기 제 1, 제 2, 제 3 및 제 4 p-채널 절연 게이트형 전계 효과 트랜지스터의 각각의 소스는 상기 데이터선(L0 ~ L3)의 대응하는 것에 접속되며, 상기 제 1, 제 2, 제 3 및 제 4 p-채널 절연 게이트형 전계 효과 트랜지스터의 각각의 드레인은 상기 제 1 및 제 2 래치 회로의 상기 상보 데이터 유지 노드(N0, /N0, N1, /N1)의 대응하는 것에 접속되며, 상기 제 1, 제 2, 제 3 및 제 4 p-채널 절연 게이트형 전계 효과 트랜지스터의 각각의 게이트는 상기 제 1 및 제 2 래치 회로의 상기 상보 데이터 유지 노드(N0, /N0, N1, /N1)의 대응하는 것에 접속되며 전송 데이터가 전송될 때 상기 4 개의 데이터선의 하나가 상기 제 1 및 제 2 래치 회로에 의해 유지되는 상보 데이터의 내용에 따라 방전되는 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 17

제 16 항에 있어서,

상기 수신기는

각각의 소스 및 게이트가 교차 접속되며, 상기 드레인의 각각은 제 1 노드(N2)에 접속되고 상기 소스의 각각은 상기 복수의 4 개의 데이터선(L0 ~ L3)의 대응하는 것에 접속되는 제 5 및 제 6 p-채널 절연 게이트형 전계 효과 트랜지스터(86, 87); 각각의 소스 및 게이트가 교차 접속되며, 상기 드레인의 각각은 제 2 노드(N2)에 접속되고 상기 소스의 각각은 상기 복수의 4 개의 데이터선(L0 ~ L3)의 대응하는 것에 접속되는 제 7 및 제 8 p-채널 절연 게이트형 전계 효과 트랜지스터(88, 89); 각각의 소스 및 게이트가 교차 접속되며, 상기 드레인의 각각은 제 3 노드(N3)에 접속되고 상기 소스의 각각은 상기 복수의 4 개의 데이터선(L0 ~ L3)의 대응하는 것에 접속되는 제 9 및 제 10 p-채널 절연 게이트형 전계 효과 트랜지스터(90, 91); 및 각각의 소스 및 게이트가 교차 접속되며, 상기 드레인의 각각은 제 4 노드(N3)에 접속되고 상기 소스의 각각은 상기 복수의 4 개의 데이터선(L0 ~ L3)의 대응하는 것에 접속되는 제 11 및 제 12 p-채널 절연 게이트형 전계 효과 트랜지스터(92, 93)를 구비한 제 2 패스 게이트 로직 회로;

전송 데이터의 전송에 앞서 상기 제 1, 제 2, 제 3 및 제 4 노드를 접지 전압으로 리셋하는 리셋 회로;

각각의 드레인 및 소스가 교차 접속되며, 상기 드레인이 각각 제 1 및 제 2 노드(N2, N2)에 접속되는 제 5 및 제 6 n-채널 절연 게이트형 전계 효과 트랜지스터(94, 95)를 구비하는 제 3 래치 회로;

각각의 드레인 및 소스가 교차 접속되며, 상기 드레인이 각각 제 3 및 제 4 노드(N3, N3)에 접속되는 제 7 및 제 8 n-채널 절연 게이트형 전계 효과 트랜지스터(96, 97)를 구비하는 제 4 래치 회로를 구비한 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 18

제 16 항에 있어서,

상기 수신기는 제 1 래치 회로에 의해 유지되는 상보 데이터를 재생시키는 제 1 디코더와, 상기 제 2 래치 회로에 의해 유지되는 상보 데이터를 재생시키는 제 2 디코더를 구비하며,

상기 제 1 디코더는,

드레인은 제 5 노드(N4)에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속된 제 9 n-채널 절연 게이트형 전계 효과 트랜지스터(105); 드레인은 상기 제 9 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속되고, 소스는 제 6 노드(N5)에 접속된 제 10 n-채널 절연 게이트형 전계 효과 트랜지스터(106); 드레인은 상기 제 5 노드(N4)에 접속되고, 게이트는 상기 제 10 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속된 제 11 n-채널 절연 게이트형 전계 효과 트랜지스터(107); 및 드레인은 상기 제 11 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 제 11 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속되고, 소스는 상기 제 6 노드(N5)에 접속된 제 12 n-채널 절연 게이트형 전계 효과 트랜지스터(108)를 구비한 제 1 아날로그 증폭 회로;

드레인은 제 7 노드(N4)에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속된 제 13 n-채널 절연 게이트형 전계 효과 트랜지스터(109); 드레인은 상기 제 13 n-채널 절연 게이트형 전계 효과 트랜지스터(109)의 소스에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속되고, 소스는 제 8 노드(N5)에 접속된 제 14 n-채널 절연 게이트형 전계 효과 트랜지스터(110); 드레인은 상기 제 7 노드(N4)에 접속되고, 게이트는 상기 제 14 n-채널 절연 게이트형 전계 효과 트랜지스터(111)의 상기 게이트에 접속된 제 15 n-채널 절연 게이트형 전계 효과 트랜지스터(111); 및 드레인은 상기 제 15 n-채널 절연 게이트형 전계 효과 트랜지스터(111)의 소스에 접속되고, 게이트는 상기 제 13 n-채널 절연 게이트형 전계 효과 트랜지스터(109)의 게이트에 접속되고, 소스는 상기 제 8 노드(N5)에 접속된 제 16 n-채널 절연 게이트형 전계 효과 트랜지스터(112)를 구비한 제 2 아날로그 증폭 회로;

게이트 및 드레인이 교차 접속되며, 상기 드레인이 각각 제 5 및 제 7 노드(N4, N4)에 접속되며, 소스에 전원 전압이 공급되는 제 13 및 제 14 p-채널 절연 게이트형 전계 효과 트랜지스터(113, 114); 드레인이 상기 제 6 노드(N5)에 접속되고, 게이트가 상기 제 7 노드(N4)에 접속된 제 17 n-채널 절연 게이트형 전계 효과 트랜지스터(115); 및 드레인이 상기 제 8 노드(N5)에 접속되고, 게이트가 상기 제 5 노드(N4)에 접속된 제 18 n-채널 절연 게이트형 전계 효과 트랜지스터(116)를 구비한 제 5 래치 회로; 및

드레인이 상기 제 5 노드(N4)에 접속되고, 소스에 전원 전압이 공급되며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 15 p-채널 절연 게이트형 전계 효과 트랜지스터(118); 드레인이 상기 제 7 노드(N4)에 접속되고, 소스에 전원 전압이 공급되며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 16 p-채널 절연 게이트형 전계 효과 트랜지스터(119); 드레인이 상기 제 17 n-채널 절연 게이트형 전계 효과 트랜지스터(115)의 소스에 접속되고, 소스에 접지 전압을 공급하며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 19 n-채널 절연 게이트형 전계 효과 트랜지스터(120); 및 드레인이 상기 제 18 n-채널 절연 게이트형 전계 효과 트랜지스터(116)의 소스에 접속되고, 소스에 접지 전압을 공급하며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 20 n-채널 절연 게이트형 전계 효과 트랜지스터(121)를 구비한 제 1 리셋 회로를 구비하고,

상기 제 2 디코더는

드레인은 제 9 노드(N6)에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속된 제 21 n-채널 절연 게이트형 전계 효과 트랜지스터(122); 드레인은 상기 제 21 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속되고, 소스는 제 10 노드(N7)에 접속된 제 22 n-채널 절연 게이트형 전계 효과 트랜지스터(123); 드레인은 상기 제 9 노드(N6)에 접속되고, 게이트는 상기 제 22 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속된 제 23 n-채널 절연 게이트형 전계 효과 트랜지스터(124); 및 드레인은 상기 제 23 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 제 21 n-채널 절연 게이트형 전계 효과 트랜지스터(122)의 게이트에 접속되고, 소스는 상기 제 10 노드(N7)에 접속된 제 24 n-채널 절연 게이트형 전계 효과 트랜지스터(125)를 구비한 제 3 아날로그 증폭 회로;

드레인은 제 11 노드(N6)에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속된 제 25 n-채널 절연 게이트형 전계 효과 트랜지스터(126); 드레인은 상기 제 25 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 데이터선의 대응하는 것에 접속되고, 소스는 제 12 노드(N7)에 접속된 제 26 n-채널 절연 게이트형 전계 효과 트랜지스터(127); 드레인은 상기 제 11 노드(N6)에 접속되고, 게이트는 상기 제 26 n-채널 절연 게이트형 전계 효과 트랜지스터의 상기 게이트에 접속된 제 27 n-채널 절연 게이트형 전계 효과 트랜지스터(128); 및 드레인은 상기 제 27 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 게이트는 상기 제 25 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속되고, 소스는 상기 제 12 노드(N7)에 접속된 제 28 n-채널 절연 게이트형 전계 효과 트랜지스터(129)를 구비한 제 2 아날로그 증폭 회로;

게이트 및 드레인이 교차 접속되며, 상기 드레인이 각각 제 9 및 제 11 노드(N6, N6)에 접속되며, 소스에 전원 전압이 공급되는 제 29 및 제 30 p-채널 절연 게이트형 전계 효과 트랜지스터(130, 131); 드레인이 상기 제 10 노드(N7)에 접속되고, 게이트가 상기 제 11 노드(N6)에 접속된 제 17 n-채널 절연 게이트형 전계 효과 트랜지스터(132); 및 드레인이 상기 제 12 노드(N7)에 접속되고, 게이트가 상기 제 9 노드(N6)에 접속된 제 18 n-채널 절연 게이트형 전계 효과 트랜지스터(133)를 구비한 제 6 래치 회로; 및

드레인이 상기 제 9 노드(N6)에 접속되고, 소스에 전원 전압이 공급되며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 19 p-채널 절연 게이트형 전계 효과 트랜지스터(134); 드레인이 상기 제 11 노드(N6)에 접속되고, 소스에 전원 전압이 공급되며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 20 p-채널 절연 게이트형 전계 효과 트랜지스터(135); 드레인이 상기 제 29 n-채널 절연 게이트형 전계 효과 트랜지스터(132)의 소스에 접속되고, 소스에 접지 전압을 공급하며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 29 n-채널 절연 게이트형 전계 효과 트랜지스터(136); 및 드레인이 상기 제 31 n-채널 절연 게이트형 전계 효과 트랜지스터(133)의 소스에 접속되고, 소스에 접지 전압을 공급하며, 리셋 신호에 의해 온/오프 동작을 제어하는 제 32 n-채널 절연 게이트형 전계 효과 트랜지스터(137)를 구비한 제 2 리

셋 회로를 구비한 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 19

제 1 클럭 신호(MC)를 수신하여 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 2 클럭 신호(QC)를 출력하며 제 2 클럭 신호를 필요로 하는 외부 회로(302)에 접속되도록 조정되는 반도체 집적 회로에 있어서, 제 2 클럭 신호는 제 1 클럭 신호를 지연시킴으로써 발생되고,

A) 각각 지연 시간(TA)을 공급하는 직렬 접속된 m 게이트 회로를 구비하여 상기 외부 회로(302)에 제 2 클럭 신호를 공급하는 클럭 전송 회로(303);

B)B-1) 제 1 클럭 신호(MC)가 입력되는 가변 지연 회로(306); 및

B-2) 각각 지연 시간(TA)을 공급하는 직렬 접속된 n 게이트 회로(323-1 ~ 323-n)(n은 m 보다 큼)를 구비한 고정 지연 회로(322)

를 구비하여 제 1 클럭 신호를 지연시키는 지연 회로

(여기서, 제 1 스테이지 게이트 회로(323-n)는 상기 가변 지연 회로(306)의 출력 단자에 접속되고, 상기 가변 지연 회로의 상기 출력 단자중의 하나와 상기 고정 지연 회로(322)의 제 n-m 게이트 회로(323-(m+1))의 출력 단자는 상기 클럭 전송 회로(303)의 입력 단자에 접속되고, 제 3 클럭 신호(C22A)는 상기 고정 지연 회로의 최종 스테이지 게이트 회로(323-1)로부터 출력된다); 및

C) 상기 가변 지연 회로의 지연 시간을 제어하여 제 3 클럭 신호(C22A)의 위상이 상기 클럭 전송 회로(303)로부터 출력된 제 2 클럭 신호(QC)의 위상과 같아지도록 하는 지연 로크 루프 회로(306, 322, 325)

를 구비한 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 20

제 1 클럭 신호(MC)를 수신하여 제 1 클럭 신호(MC)에 대해 소정의 위상차를 갖는 제 2 클럭 신호(QC1, QC2)를 출력하며 제 2 클럭 신호를 필요로 하는 외부 회로(400)에 접속되도록 조정되는 반도체 집적 회로에 있어서, 제 2 클럭 신호는 제 1 클럭 신호를 지연시킴으로써 발생되고,

A) 각각 지연 시간(TA)을 공급하는 직렬 접속된 m 게이트 회로를 구비하여 상기 외부 회로에 제 2 클럭 신호를 공급하는 클럭 전송 회로(401, 403);

B)B-1) B-1-1) 가변 지연 회로(406, 409, 412); 및

B-1-2) 각각 지연 시간(TA)을 공급하는 직렬 접속된 n 게이트 회로(n은 m 보다 큼)를 구비한 고정 지연 회로(407, 410, 413)

를 구비하여 제 1 클럭 신호를 지연시키는 지연 회로

(여기서, 제 1 클럭 신호가 공급되는 노드에 접속된 제 1 스테이지 지연 회로 유닛의 입력 단자, 상기 지연 회로중의 하나의 상기 가변 지연 회로의 출력 단자중의 하나 및 상기 지연 회로 유닛중의 하나의 상기 고정 지연 회로의 제 n-m 게이트 회로의 출력 단자는 상기 클럭 전송 회로의 입력 단자에 접속되고, 제 3 클럭 신호는 최종 스테이지 지연 회로 유닛의 고정 지연 회로의 최종 스테이지 게이트 회로로부터 출력된다); 및

C) 상기 지연 회로 유닛 각각의 상기 가변 지연 회로의 지연 시간을 제어하여 제 3 클럭 신호(C113A)가 제 1 클럭 신호 및 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 4 클럭 신호(MCA)중의 하나와 일치하도록 한 지연 로크 루프 회로

를 구비한 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 21

제 1 클럭 신호(MC)를 수신하여 제 1 클럭 신호(MC)에 대해 소정의 위상차를 갖는 제 2 클럭 신호(QC1)를 출력하며 제 2 클럭 신호를 필요로 하는 외부 회로(349)에 접속되도록 조정되는 반도체 집적 회로에 있어서, 제 2 클럭 신호는 제 1 클럭 신호를 지연시킴으로써 발생되고,

A) 각각 지연 시간(TA)을 공급하는 직렬 접속된 m 게이트 회로를 구비하여 상기 외부 회로에 제 2 클럭 신호(QC1)를 공급하는 클럭 전송 회로(350);

B)B-1) B-1-1) 각각 지연 시간(TL)을 공급하는 직렬 접속된 L 게이트 회로를 구비한 제 1 가변 지연 회로(355);

B-1-2) 각각 지연 시간(TA)을 공급하는 직렬 접속된 n 게이트 회로를 구비한 제 1 고정 지연 회로(356);

B-1-3) 각각 지연 시간(TL)을 공급하는 직렬 접속된 L 게이트 회로를 구비한 제 2 가변 지연 회로(364); 및

B-1-4) 각각 지연 시간(TA)을 공급하는 직렬 접속된 n 게이트 회로를 구비한 제 2 고정 지연 회로(365)

를 구비하여 제 1 클럭 신호를 지연시키는 지연 회로

(여기서, 제 3 클럭 신호(C65)는 상기 제 2 고정 지연 회로(365)의 최종 스테이지 게이트 회로(366-1)로부터 출력된다); 및

B-2) 상기 제 1 및 제 2 가변 지연 회로 각각의 지연 시간을 제어하여 제 3 클럭 신호의 위상이 제 2 클럭 신호의 위상과 같아지도록 하는 지연 시간 제어 회로

를 구비한 지연 로크 루프 회로; 및

C) 각각 지연 시간(TA)을 공급하는 직렬 접속된 k 게이트 회로를 구비한 제 3 고정 지연 회로(368)

(여기서, 상기 제 3 고정 지연 회로의 입력 단자는 상기 제 1 가변 지연 회로(355)의 출력 단자 및 상기 제 1 고정 지연 회로(356)의 제  $2n+(TL/TA)L-m-k$  게이트 회로의 출력 단자중의 하나에 접속되며,  $n, m, L$  및  $k$ 는  $n, m, (TL/TA)L+n$  및  $1, 2n+(TL/TA)L-m-k, n$ 의 관계를 만족시키는 양의 정수이고, 상기 제 3 고정 지연 회로(368)의 출력 단자는 상기 클럭 전송 회로(350)의 입력 단자에 접속된다)

를 구비한 것을 특징으로 하는 반도체 집적 회로.

## 청구항 22

제 1 클럭 신호(MC)를 수신하여 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 2 클럭 신호(QC1, QC2)를 출력하며 제 2 클럭 신호를 필요로 하는 외부 회로(419)에 접속되도록 조정되는 반도체 집적 회로에 있어서, 제 2 클럭 신호는 제 1 클럭 신호를 지연시킴으로써 발생되고,

A) 각각 지연 시간(TA)을 공급하는 직렬 접속된 m 게이트 회로를 구비하여 상기 외부 회로에 제 2 클럭 신호(QC1, QC2)를 공급하는 클럭 전송 회로(420, 422);

B)B-1) B-1-1) B-1-1-1) 각각 지연 시간(TL)을 공급하는 직렬 접속된 L 게이트 회로를 구비한 가변 지연 회로(425, 428, 431); 및

B-1-1-2) 각각 지연 시간(TA)을 공급하는 직렬 접속된 n 게이트 회로를 구비한 고정 지연 회로(426, 429, 432)를 구비한 직렬 접속된 복수의 지연 회로 유닛

를 구비하여 제 1 제어 신호를 지연시키는 지연 회로

(여기서, 제 1 스테이지 지연 회로 유닛의 가변 지연 회로(425)의 입력 단자는 제 1 클럭 신호(MC)가 입력되는 노드(417)에 접속되고, 제 3 클럭 신호(C132)는 최종 스테이지 지연 회로의 최종 스테이지 고정 지연 회로(432)의 최종 스테이지 게이트 회로(433-1)로부터 출력된다); 및

B-2) 지연 회로 각각의 가변 지연 회로의 지연 시간을 제어하여 제 3 클럭 신호(C132)의 위상이 제 1 클럭 신호(MC)의 위상 및 제 1 클럭 신호(MC)에 대해 소정의 위상차를 갖는 제 4 클럭 신호(MCA)의 위상중의 하나와 같아지도록 하는 지연 시간 제어 회로

를 구비한 지연 로크 루프 회로; 및

C) 각각 지연 시간(TA)을 공급하는 직렬 접속된 k 게이트 회로를 구비한 제 3 고정 지연 회로(435, 437) (상기 제 3 고정 지연 회로의 입력 단자는 상기 제 1 가변 지연 회로의 출력 단자 및 상기 제 1 고정 지연 회로의 제  $2n+(TL/TA)L-m-k$  게이트 회로의 출력 단자중의 하나에 접속되며,  $n, m, L$  및  $k$ 는  $n, m, (TL/TA)L+n$  및  $1, 2n+(TL/TA)L-m-k, n$ 의 관계를 만족시키는 양의 정수이고, 상기 제 3 고정 지연 회로의 출력 단자는 상기 클럭 전송 회로(420, 422)의 입력 단자에 접속된다)

를 구비한 것을 특징으로 하는 반도체 집적 회로.

## 청구항 23

제 1 클럭 신호(MC)를 수신하여 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 2 클럭 신호(QC1)를 출력하며 제 2 클럭 신호를 필요로 하는 외부 회로(374)에 접속되도록 조정되는 반도체 집적 회로에 있어서, 제 2 클럭 신호는 제 1 클럭 신호를 지연시킴으로써 발생되고,

A) 각각 지연 시간(TA)을 공급하는 직렬 접속된 m 게이트 회로를 구비하여 상기 외부 회로에 제 2 클럭 신호(QC1)를 공급하는 클럭 전송 회로(375);

B)B-1) B-1-1) 각각 지연 시간(TL)을 공급하는 직렬 접속된 L 게이트 회로를 구비한 제 1 가변 지연 회로(382);

B-1-2) 각각 지연 시간(TA)을 공급하는 직렬 접속된 n 게이트 회로를 구비한 제 1 고정 지연 회로(383)

(여기서, 상기 고정 지연 회로(383)의 제 1 스테이지 게이트 회로(384-n)의 입력 단자는 상기 제 1 가변 지연 회로(382)의 출력 단자에 접속되고, 상기 제 1 지연 회로(383)의 제  $2n+(TL/TA)L-m-k$  게이트 회로(384 - (p+1))의 출력 단자는 상기 클럭 전송 회로의 입력 단자에 접속되며,  $n, m, L$  및  $k$ 는  $n, m, (TL/TA)L+n$  및  $1, 2n+(TL/TA)L-m-k, n$ 의 관계를 만족시키는 양의 정수이다);

B-1-3) 각각 지연 시간(TL)을 공급하는 직렬 접속된 L 게이트 회로를 구비한 제 2 가변 지연 회로(391)

(여기서, 상기 제 2 가변 지연 회로의 입력 단자는 상기 제 1 고정 지연 회로(383)의 최종 스테이지 게이트 회로의 출력 단자에 접속된다); 및

B-1-4) 각각 지연 시간 (TA)을 공급하는 직렬 접속된 n 게이트 회로를 구비한 제 2 고정 지연 회로(392)

(여기서, 상기 제 2 고정 지연 회로(392)의 제 1 스테이지 게이트 회로(393-n)의 입력 단자는 상기 제 2 가변 지연 회로(391)의 출력 단자에 접속되고, 제 3 클럭 신호(C92)는 상기 제 2 고정 지연 회로(392)의 최종 스테이지 지연 회로(393-1)의 출력 단자로부터 출력된다)

를 구비하여 제 1 클럭 신호를 지연시키는 지연 회로; 및

B-2) 상기 제 1 및 제 2 가변 지연 회로 각각의 지연 시간을 제어하여 제 3 클럭 신호의 위상이 제 2 클럭 신호로부터 소정 지연 시간 만큼 지연되도록 하는 지연 시간 제어 회로

를 구비한 지연 로크 루프 회로; 및

C) 각각 지연 시간(TA)을 공급하는 직렬 접속된 k 게이트 회로를 구비하여 상기 소정의 지연 시간을 공급하며, 상기 지연 회로의 상류측에 위치하여 상기 지연 회로와 협력하여 제 1 클럭 신호(MC)를 지연시키는 제 3 고정 지연 회로(380)

를 구비한 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 24

제 1 클럭 신호(MC)를 수신하여 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 2 클럭 신호(QC1)를 출력하며 제 2 클럭 신호를 필요로 하는 외부 회로(442)에 접속되도록 조정되는 반도체 집적 회로에 있어서, 제 2 클럭 신호는 제 1 클럭 신호를 지연시킴으로써 발생되고,

A) 각각 지연 시간(TA)을 공급하는 직렬 접속된 m 게이트 회로를 구비하여 상기 외부 회로에 제 2 클럭 신호(QC1)를 공급하는 클럭 전송 회로(443);

B)B-1) B-1-1) B-1-1-1) 각각 지연 시간(TL)을 공급하는 직렬 접속된 L 게이트 회로를 구비한 가변 지연 회로(452, 455, 458); 및

B-1-1-2) 각각 지연 시간(TA)을 공급하는 직렬 접속된 n 게이트 회로를 구비한 고정 지연 회로(453, 456, 459)

(여기서, 상기 고정 지연 회로의 제 1 스테이지 게이트 회로의 입력 단자는 상기 가변 지연 회로의 출력 단자에 접속된다)

를 구비한 직렬 접속된 복수의 지연 회로 유닛

을 구비하여 제 1 클럭 신호를 지연시키는 지연 회로

(여기서, 상기 지연 회로 유닛중 하나의 가변 지연 회로(453)(??)의 제  $2n+(TL/TA)L-m-k$  게이트 회로의 출력 단자는 상기 클럭 전송 회로의 입력 단자에 접속되고,  $n, m, L$  및  $k$ 는  $n, m, (TL/TA)L+n$  및  $1, 2n+(TL/TA)L-m-k$   $n$ 의 관계를 만족시키는 양의 정수이고, 제 3 클럭 신호(C159)는 최종 스테이지 지연 회로 유닛의 고정 지연 회로(459)의 최종 스테이지 게이트 회로(460-1)의 출력 단자에서 얻어지고, 제 4 클럭 신호는 제 1 스테이지 지연 회로 유닛(C148)에 입력된다); 및

B-2) 상기 지연 회로 유닛 각각의 상기 가변 지연 회로의 지연 시간을 제어하여 제 3 클럭 신호(C159)가 제 4 클럭 신호(C148) 및 제 4 클럭 신호에 대해 소정의 위상차를 갖는 제 5 클럭 신호(C150)와 같아지도록 하는 지연 시간 제어 회로

를 구비한 지연 로크 루프 회로; 및

C) 각각 지연 시간(TA)을 공급하는 직렬 접속된 k 게이트 회로를 구비한 제 3 고정 지연 회로(448)(상기 제 3 고정 지연 회로의 입력 단자는 제 1 클럭 신호(MC)가 공급되는 노드(440)에 접속되고, 상기 제 3 고정 지연 회로의 출력 단자는 제 1 스테이지 지연 회로 유닛의 입력 단자에 접속된다)

를 구비한 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 25

제 1 클럭 신호(MC)를 수신하여 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 2 클럭 신호(QC2)를 출력하며 제 2 클럭 신호를 필요로 하는 외부 회로(374)에 접속되도록 조정되는 반도체 집적 회로에 있어서, 제 2 클럭 신호는 제 1 클럭 신호를 지연시킴으로써 발생되고,

A) 각각 지연 시간(TA)을 공급하는 직렬 접속된 m 게이트 회로를 구비하여 상기 외부 회로에 제 2 클럭 신호(QC2)를 공급하는 클럭 전송 회로(377);

B)B-1) B-1-1) 각각 지연 시간(TL)을 공급하는 직렬 접속된 L 게이트 회로를 구비한 가변 지연 회로(385);

B-1-2) 각각 지연 시간(TA)을 공급하는 직렬 접속된 n 게이트 회로를 구비한 제 1 고정 지연 회로(386);

B-1-3) 각각 지연 시간(TL)을 공급하는 직렬 접속된 L 게이트 회로를 구비한 제 2 가변 지연 회로(391); 및

B-1-4) 각각 지연 시간(TA)을 공급하는 직렬 접속된 n 게이트 회로를 구비한 제 2 고정 지연 회로(392) (여기서, 제 3 클럭 신호(C92)는 상기 제 2 고정 지연 회로(392)의 최종 스테이지 게이트 회로로부터 출력된다)

를 구비하여 제 1 제어 신호를 지연시키는 지연 회로; 및

B-2) 상기 제 1 및 제 2 가변 지연 회로 각각의 지연 시간을 제어하여 제 3 클럭 신호(C92)의 위상이 제 2 클럭 신호(QC2)로부터 소정의 지연 시간 만큼 지연하도록 하는 지연 시간 제어 회로

를 구비한 지연 로크 루프 회로;

C) 각각 지연 시간(TA)을 공급하는 직렬 접속된  $k_1$  게이트 회로를 구비하여 상기 소정의 지연 시간을 공급하며, 상기 지연 회로의 상류측에 위치하여 상기 지연 회로와 협력하여 제 1 클럭 신호(MC)를 지연시키는 제 3 고정 지연 회로(380); 및

D) 각각 지연 시간(TA)을 공급하는 직렬 접속된  $k_2$  게이트 회로를 구비한 제 4 고정 지연 회로(395)(상기 제 4 지연 회로의 입력 단자는 상기 제 1 가변 지연 회로의 출력 단자 및 상기 제 1 고정 지연 회로의 제  $2n+(TL/TA)L-m-k_1-k_2$  게이트 회로의 출력 단자중의 하나에 접속되고,  $n, m, L, k_1$  및  $k_2$ 는  $n, m$  및  $1, 2n+(TL/TA)L-m-k_1-k_2$ 의 관계를 만족시키는 양의 정수이고, 상기 제 4 고정 지연 회로의 출력 단자는 상

기 클럭 전송 회로의 입력 단자에 접속된다)

를 구비한 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 26

제 1 클럭 신호(MC)를 수신하여 제 1 클럭 신호에 대해 소정의 위상차를 갖는 제 2 클럭 신호(QC2)를 출력하며 제 2 클럭 신호를 필요로 하는 외부 회로(442)에 접속되도록 조정되는 반도체 집적 회로에 있어서, 제 2 클럭 신호는 제 1 클럭 신호를 지연시킴으로써 발생되고,

A) 각각 지연 시간(TA)을 공급하는 직렬 접속된 m 게이트 회로를 구비하여 상기 외부 회로에 제 2 클럭 신호를 공급하는 클럭 전송 회로(445);

B)B-1) B-1-1) B-1-1-1) 각각 지연 시간(TL)을 공급하는 직렬 접속된 L 게이트 회로를 구비한 가변 지연 회로(452, 455, 458); 및

B-1-1-2) 각각 지연 시간(TA)을 공급하는 직렬 접속된 n 게이트 회로를 구비한 고정 지연 회로(453, 456, 459)를 구비한 직렬 접속된 복수의 지연 회로 유닛

을 구비하여 제 1 제어 신호를 지연시키는 지연 회로

(여기서, 제 3 클럭 신호(C159)는 최종 스테이지 지연 회로 유닛의 고정 지연 회로의 최종 스테이지 게이트 회로로부터 출력되고, 제 4 클럭 신호(C148)는 제 1 스테이지 지연 회로 유닛에 입력된다); 및

B-2) 지연 회로 유닛 각각의 가변 지연 회로의 지연 시간을 제어하여 제 3 클럭 신호(C159)가 제 4 클럭 신호(C148) 및 제 4 클럭 신호에 대해 소정의 위상차를 갖는 제 5 클럭 신호(C150)와 같아지도록 하는 지연 시간 제어 회로

를 구비한 지연 로크 루프 회로; 및

C) 각각 지연 시간(TA)을 공급하는 직렬 접속된 k1 게이트 회로를 구비한 제 3 고정 지연 회로(448)(상기 제 3 지연 회로의 입력 단자는 제 1 클럭 신호가 입력되는 노드(440)에 접속되고, 상기 제 3 지연 회로의 출력 단자는 제 1 스테이지 지연 회로 유닛의 입력 단자에 접속된다); 및

D) 각각 지연 시간(TA)을 공급하는 직렬 접속된 k2 게이트 회로를 구비한 제 4 고정 지연 회로(462)

(여기서, 상기 제 4 지연 회로의 입력 단자는 상기 지연 회로 유닛의 출력 단자 및 상기 지연 회로 유닛 중 하나의 제  $2n+(TL/TA)L-m-k1-k2$  게이트 회로의 출력 단자중의 하나에 접속되고, n, m, L, k1 및 k2는  $n, m$  및  $1, 2n+(TL/TA)L-m-k1-k2$ 의 관계를 만족시키는 양의 정수이고, 상기 제 4 고정 지연 회로(462)의 출력 단자는 상기 클럭 전송 회로(445)의 입력 단자에 접속된다)

를 구비한 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 27

제 19 항 내지 제 26 항의 어느 한 항에 있어서,

상기 가변 지연 회로는 직렬 접속된 복수의 게이트 회로(309-1 ~ 309-L)를 구비하며, 상기 가변 지연 회로의 상기 게이트 회로는

소스가 전원선에 접속된 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터(312-1 ~ 312-L);

소스가 상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속된 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터(310-1 ~ 310-L);

드레인이 상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속되고 게이트가 상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 접속된 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터(311-1 ~ 311-L);

드레인이 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고 소스는 접지선에 접속된 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터(313-1 ~ 313-L);

상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 상기 게이트 및 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 상기 게이트의 각각에 접속된 클럭 입력 노드; 및

상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인 및 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인의 각각에 접속된 클럭 출력 노드를 구비하며,

상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터(312-1 ~ 312-L)의 게이트에 제 1 지연 시간 제어 전압(VC)을 공급하고, 상기 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터(313-1 ~ 313-L)의 게이트에 제 2 지연 시간 제어 전압(VC2)을 공급하는 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 28

제 19 항 내지 제 26 항의 어느 한 항에 있어서,

상기 가변 지연 회로는

A) 소스가 전원선에 접속된 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터(319);

B)B-1) 소스가 상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속된 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터(317-1 ~ 317-L);



B-2) 드레인이 상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속된 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터(318-1 ~ 318-L);

B-3) 상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 게이트 및 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트의 각각에 접속된 클럭 입력 노드; 및

B-4) 상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인 및 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 상기 드레인의 각각에 접속된 클럭 출력 노드

를 각각 구비한 직렬 접속된 복수의 게이트 회로(316-1 ~ 316-L); 및

C) 소스가 접지선에 접속된 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터(320)를 구비하며,

상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터(319)의 게이트에 제 1 지연 시간 제어 전압(VC)을 공급하고, 상기 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터(320)의 게이트에 제 2 지연 시간 제어 전압(VCZ)을 공급하는 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 29

제 27 항에 있어서,

상기 지연 시간 제어 회로는

스타터 회로(675);

상기 접지선에 접속된 제 1 단자 및 상기 제 1 지연 시간 제어 전압(VC)이 발생되는 제 2 단자를 갖는 제 1 커패시터(724);

상기 전원선에 접속된 제 1 단자 및 상기 제 2 지연 시간 제어 전압(VCZ)이 발생되는 제 2 단자를 갖는 제 2 커패시터(725); 및

상기 지연 로크 루프 회로에 구비된 상기 지연 회로로부터 출력된 클럭 신호와 지연 제어용 참조 클럭 신호를 비교함으로써 상기 제 1 및 제 2 커패시터를 충·방전하는 위상 비교 및 충전 펌프 회로(698)를 구비하며,

상기 위상 비교 및 충전 펌프 회로의 동작 개시는 상기 스타터 회로에 의해 제어하고,

스타터 신호(POZ)가 상기 스타터 회로에 입력될 때 상기 위상 비교 및 충전 펌프 회로(698)는 소정의 수의 클럭 사이클이 경과할 때까지 상기 제 1 커패시터(724)를 충전하고 상기 제 2 커패시터(725)를 방전하며, 상기 시간이 경과한 후 통상적인 작업을 행하는 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 30

제 29 항에 있어서,

상기 위상 비교 및 충전 펌프 회로(698)는

A)A-1) 각각 풀-업 소자로 작용하는 직렬 접속된 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터(702, 708, 709, 711); 및

A-2) 각각 풀-다운 소자로 작용하는 직렬 접속된 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터(704, 713, 714, 715)

를 구비하며 상기 제 1 커패시터를 충·방전하는 제 1 위상 비교 및 충전 펌프 회로(여기서, 상기 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터 및 상기 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터의 온/오프 동작은 상기 지연 회로에 입력된 클럭 신호, 상기 지연 회로로부터 출력된 클럭 신호 및 상기 지연 회로의 소정의 노드에 출력된 클럭 신호를 포함한 복수의 클럭 신호에 의해 제어한다); 및

B)B-1) 풀-업 소자로 작용하는 직렬 접속된 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터(705, 716, 717, 719); 및

B-2) 풀-다운 소자로 작용하는 직렬 접속된 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터(707, 721, 722, 723)

를 구비하며 상기 제 2 커패시터를 충·방전하는 제 2 위상 비교 및 충전 펌프 회로

(여기서, 상기 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터 및 상기 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터의 온/오프 동작은 상기 지연 회로에 입력된 클럭 신호, 상기 지연 회로로부터 출력된 클럭 신호 및 상기 지연 회로의 소정의 노드에 출력된 클럭 신호를 포함한 복수의 클럭 신호에 의해 제어한다)

를 구비한 것을 특징으로 하는 반도체 집적 회로.

#### 청구항 31

제 28 항에 있어서,

상기 지연 시간 제어 회로는

스타터 회로(675);

상기 접지선에 접속된 제 1 단자 및 상기 제 1 지연 시간 제어 전압(VC)이 발생되는 제 2 단자를 갖는 제 1 커패시터(724);

상기 전원선에 접속된 제 1 단자 및 상기 제 2 지연 시간 제어 전압(VCZ)이 발생하는 제 2 단자를 갖는 제 2 커패시터(725); 및

상기 지연 로크 루프 회로에 구비된 상기 지연 회로로부터 출력된 클럭 신호와 지연 제어용 참조 클럭 신호를 비교함으로써 상기 제 1 및 제 2 커패시터를 충·방전하는 위상 비교 및 충전 펌프 회로(698)를 구비하며,

상기 위상 비교 및 충전 펌프 회로의 동작 개시는 상기 스타터 회로에 의해 제어하고,

스타터 신호(PDZ)가 상기 스타터 회로에 입력될 때 상기 위상 비교 및 충전 펌프 회로(698)는 소정의 수의 클럭 사이클이 경과할 때까지 상기 제 1 커패시터(724)를 충전하고 상기 제 2 커패시터(725)를 방전하며, 상기 시간이 경과한 후 통상적인 작업을 행하는 것을 특징으로 하는 반도체 집적 회로.

### 청구항 32

제 31 항에 있어서,

상기 위상 비교 및 충전 펌프 회로(698)는,

A)A-1) 각각 풀-업 소자로 작용하는 직렬 접속된 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터(702, 708, 709, 711); 및

A-2) 각각 풀-다운 소자로 작용하는 직렬 접속된 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터(704, 713, 714, 715)

를 구비하여 상기 제 1 커패시터를 충·방전하는 제 1 위상 비교 및 충전 펌프 회로

(여기서, 상기 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터 및 상기 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터의 온/오프 동작은 상기 지연 회로에 입력된 클럭 신호, 상기 지연 회로로부터 출력된 클럭 신호 및 상기 지연 회로의 소정의 노드에 출력된 클럭 신호를 포함한 복수의 클럭 신호에 의해 제어한다); 및

B)B-1) 풀-업 소자로 작용하는 직렬 접속된 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터(705, 716, 717, 719); 및

B-2) 풀-다운 소자로 작용하는 직렬 접속된 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터(707, 721, 722, 723)

를 구비하여 상기 제 2 커패시터를 충·방전하는 제 2 위상 비교 및 충전 펌프 회로

(여기서, 상기 복수의 p-채널 절연 게이트형 전계 효과 트랜지스터 및 상기 복수의 n-채널 절연 게이트형 전계 효과 트랜지스터의 온/오프 동작은 상기 지연 회로에 입력된 클럭 신호, 상기 지연 회로로부터 출력된 클럭 신호 및 상기 지연 회로의 소정의 노드에 출력된 클럭 신호를 포함한 복수의 클럭 신호에 의해 제어한다)

를 구비한 것을 특징으로 하는 반도체 집적 회로.

### 청구항 33

제 19 항 내지 제 26 항의 어느 한 항에 있어서,

상기 가변 지연 회로는 직렬 접속된 복수의 게이트 회로를 구비하며, 상기 게이트 회로는 각각,

소스가 전원선에 접속된 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터(577);

소스가 상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속된 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터(578);

드레인이 상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속된 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터(579);

드레인이 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속되고 게이트는 상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터에 접속되고 소스는 접지선에 접속된 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터(580);

상기 제 1 p-채널 절연 게이트형 전계 효과 트랜지스터(577)의 게이트 및 상기 제 2 n-채널 절연 게이트형 전계 효과 트랜지스터의 게이트의 각각에 접속된 클럭 입력 노드; 및

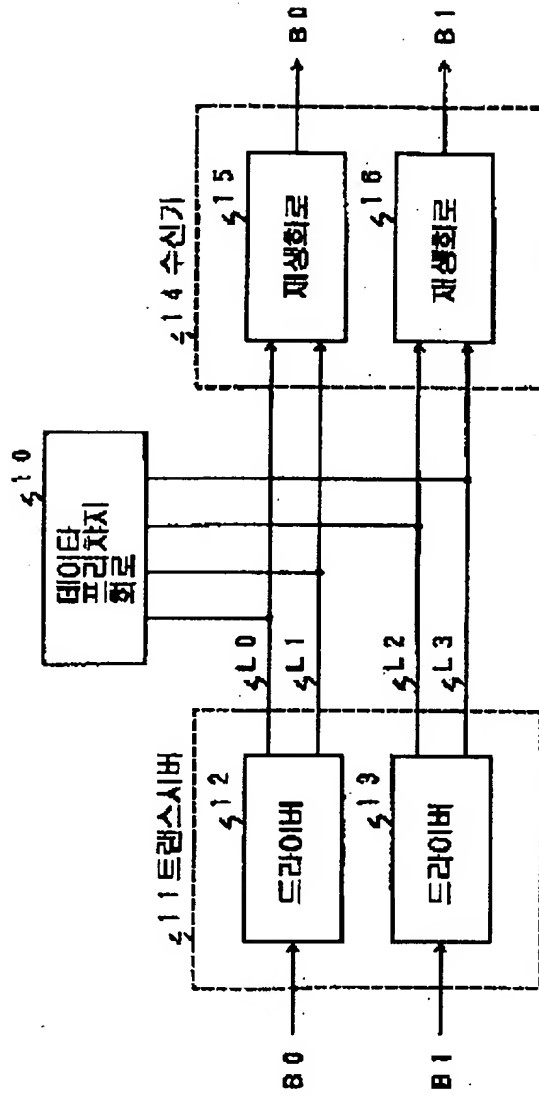
상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터(578)의 상기 드레인 및 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터(579)의 상기 드레인의 각각에 접속된 클럭 출력 노드를 구비하며,

상기 제 2 p-채널 절연 게이트형 전계 효과 트랜지스터(578)의 게이트에 제 1 지연 시간 제어 전압(VC)을 공급하고, 상기 제 1 n-채널 절연 게이트형 전계 효과 트랜지스터(579)의 게이트에 제 2 지연 시간 제어 전압(VCZ)을 공급하는 것을 특징으로 하는 반도체 집적 회로.

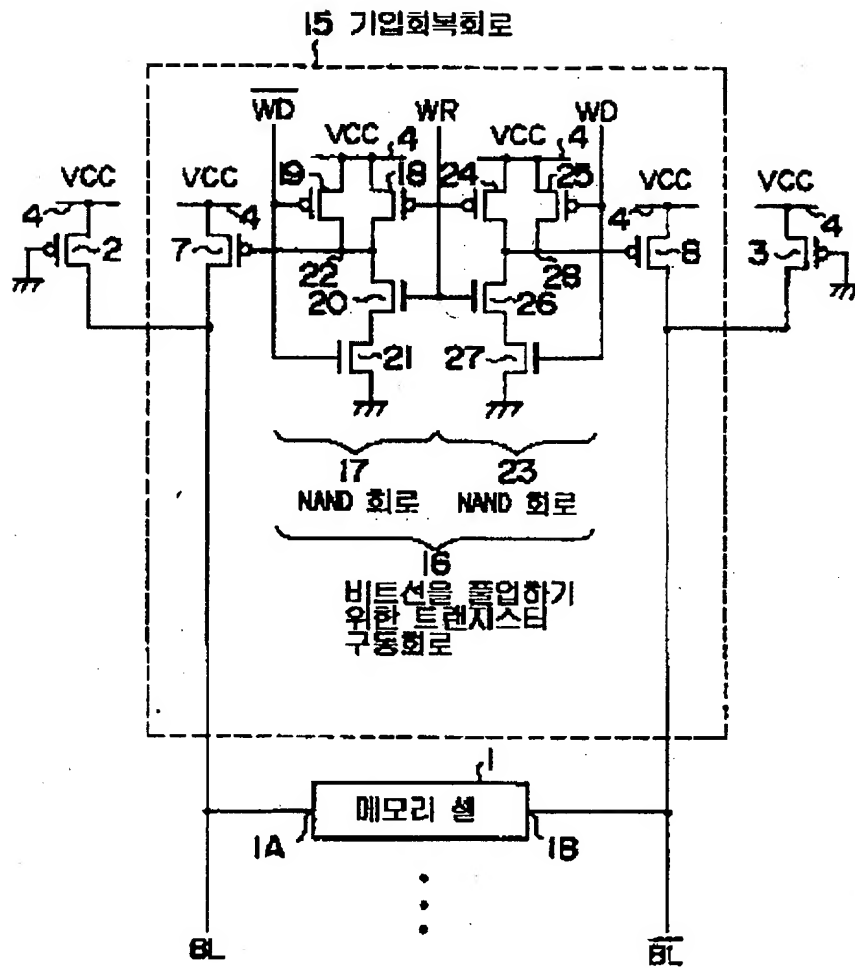
도면



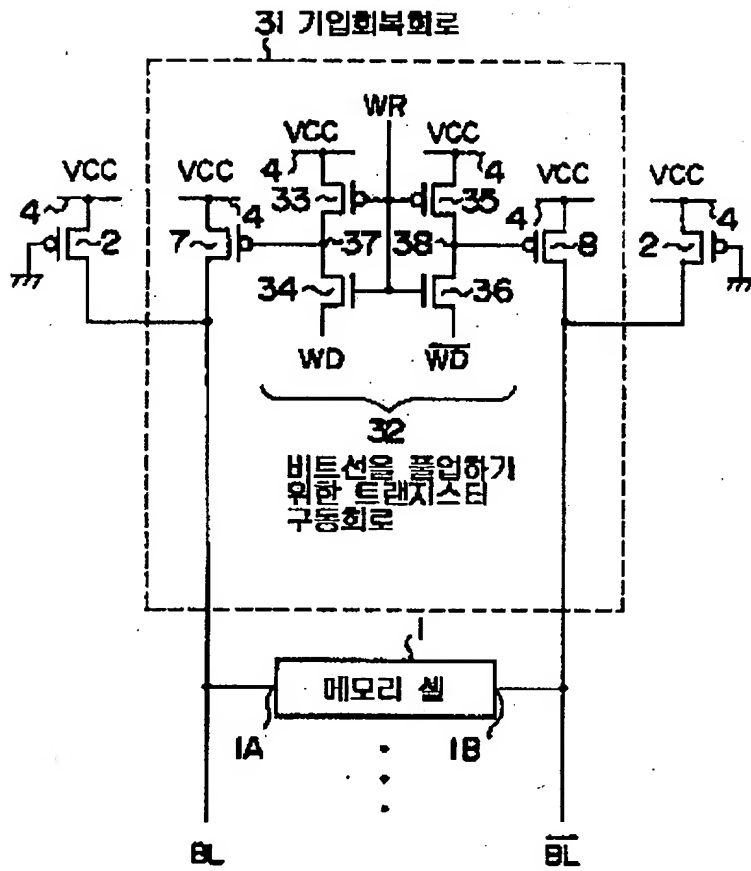
도 3



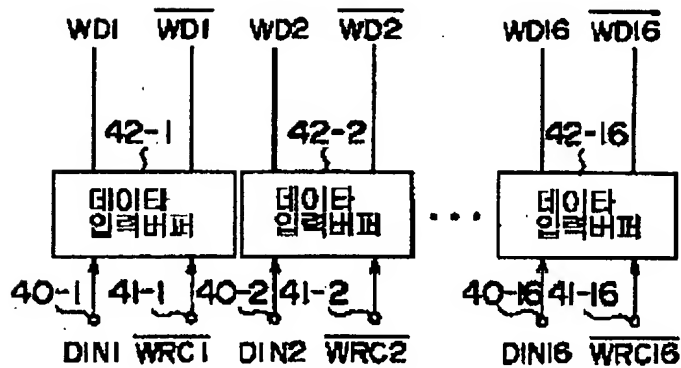
도면4



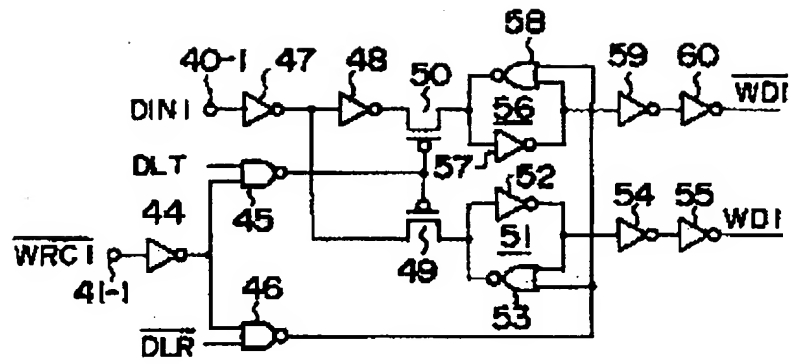
도면5



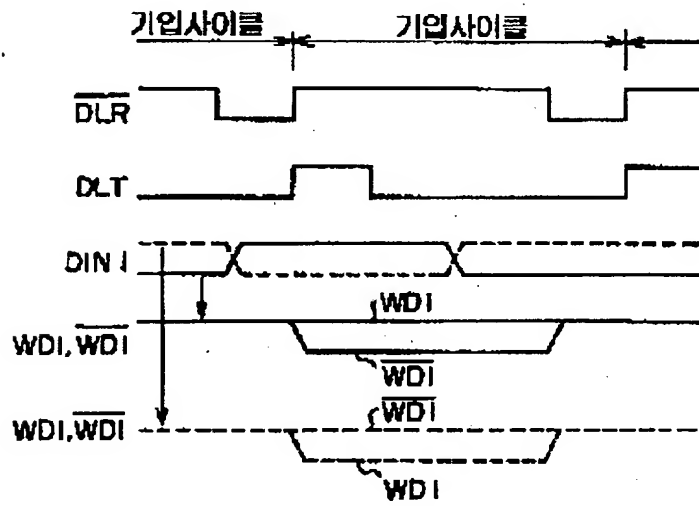
도면6



도면 7

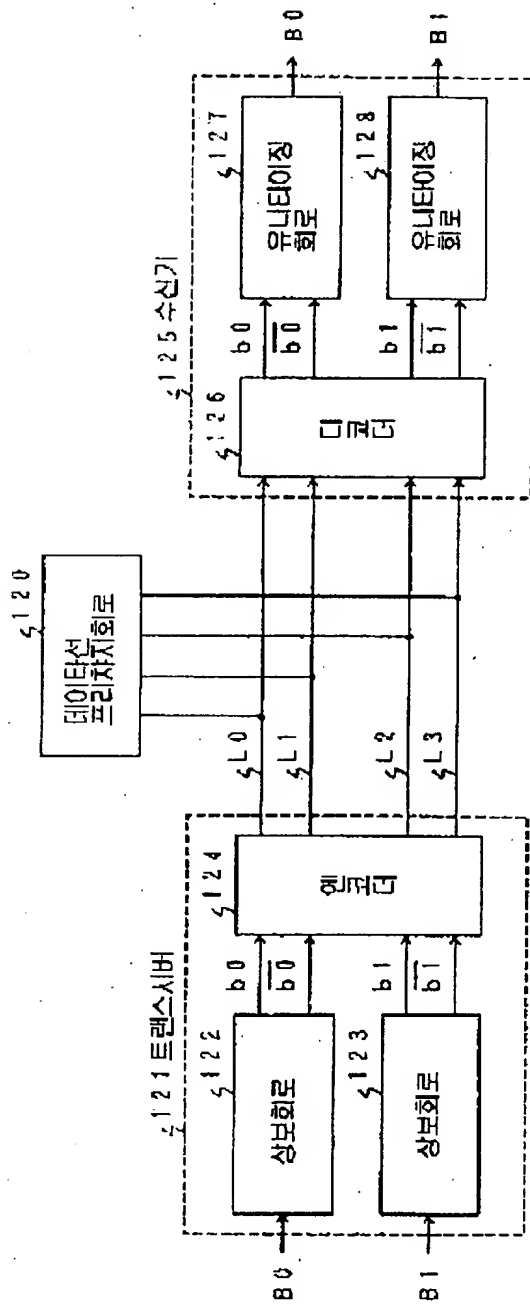


도면 8

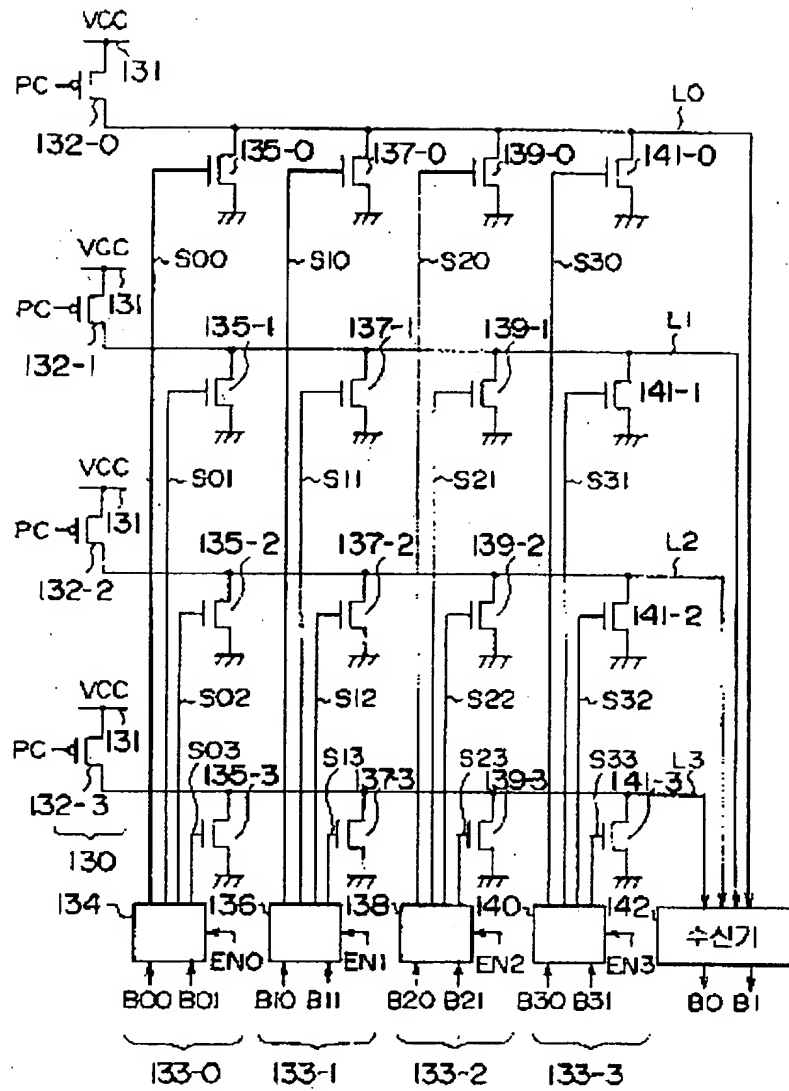




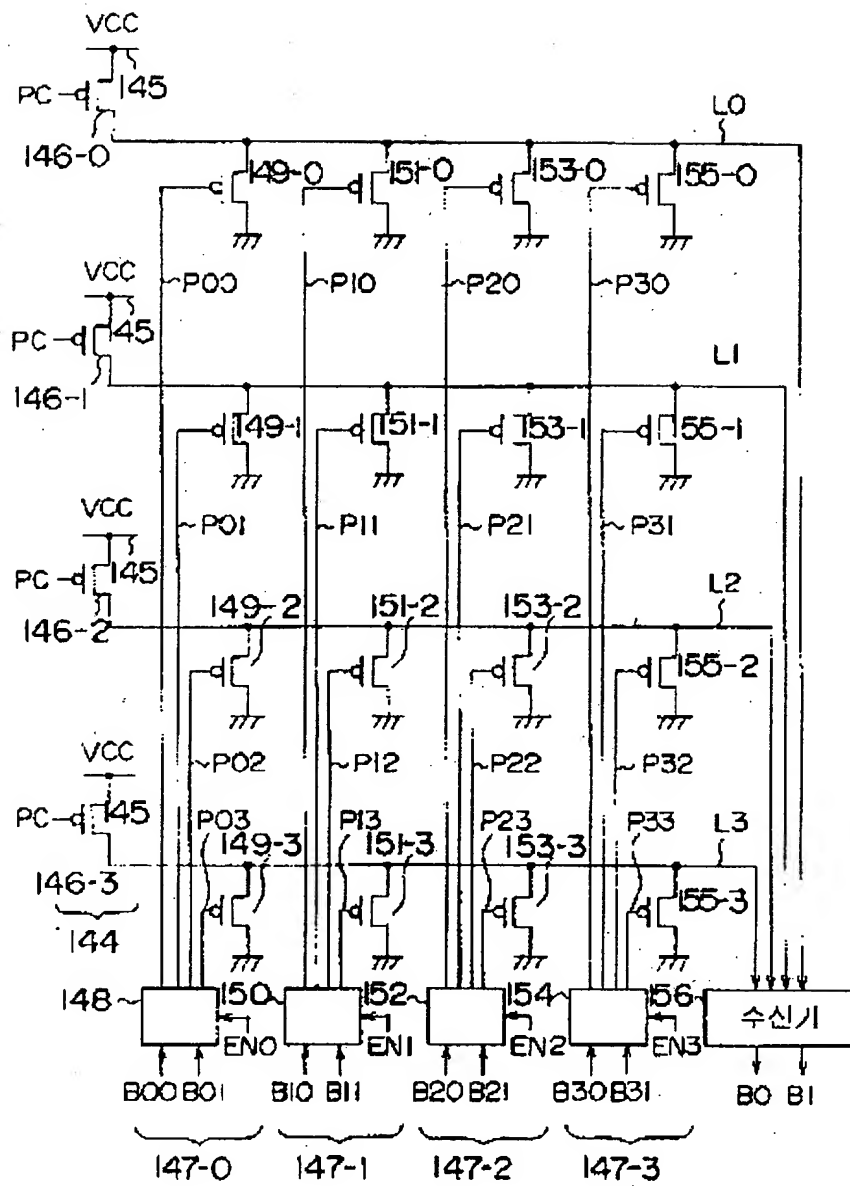
도 89



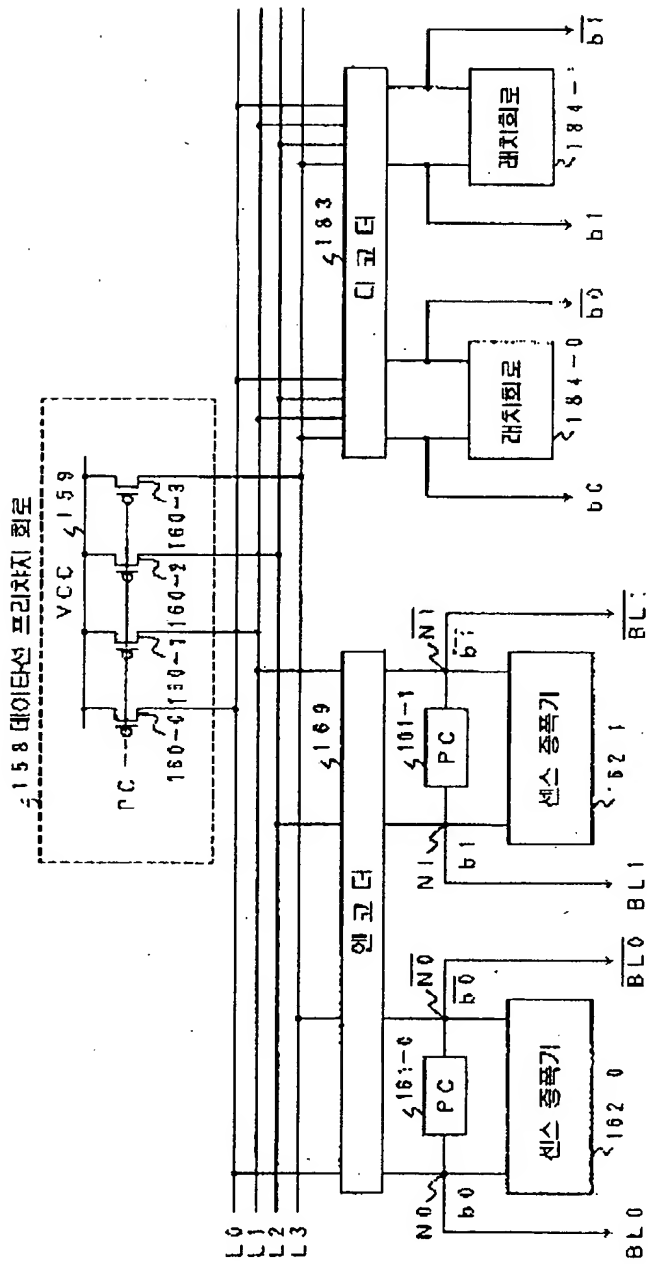
도면 10



도 11



도면 12



도면 13

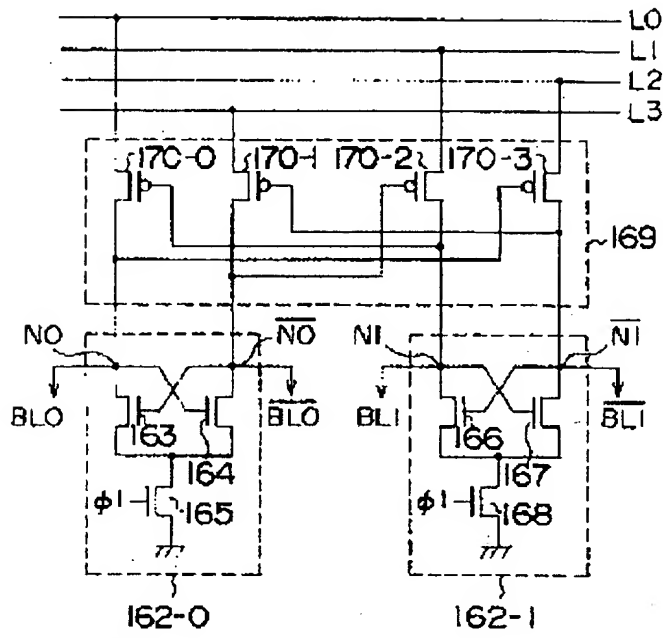
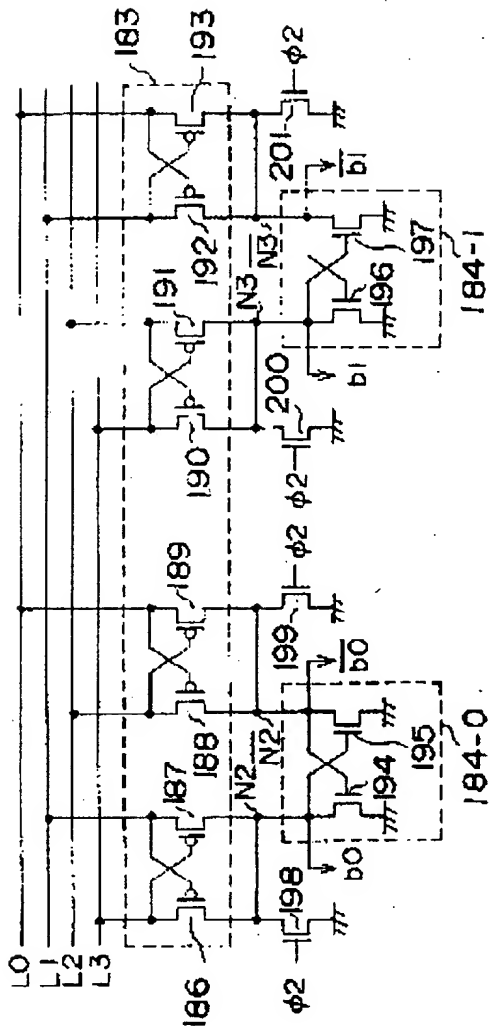




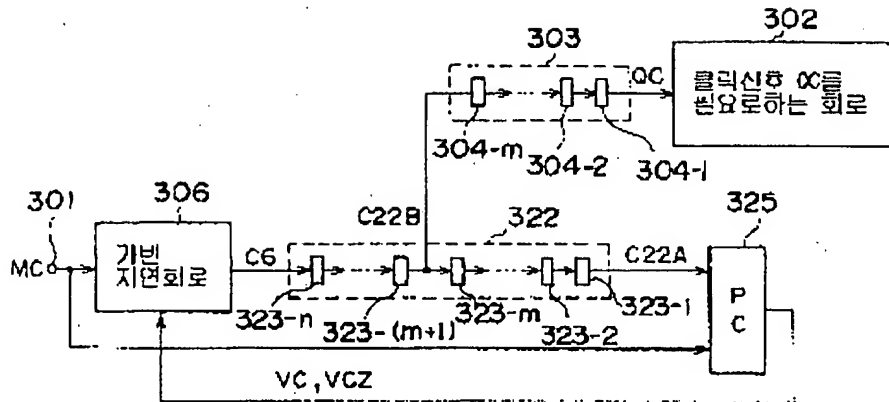
图 10



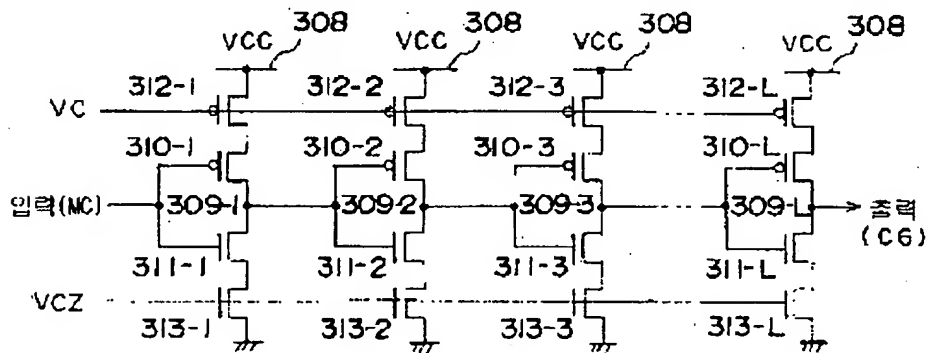




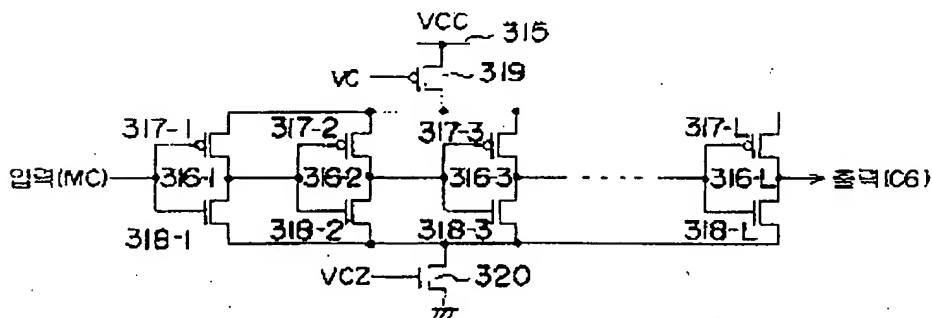
도면 18



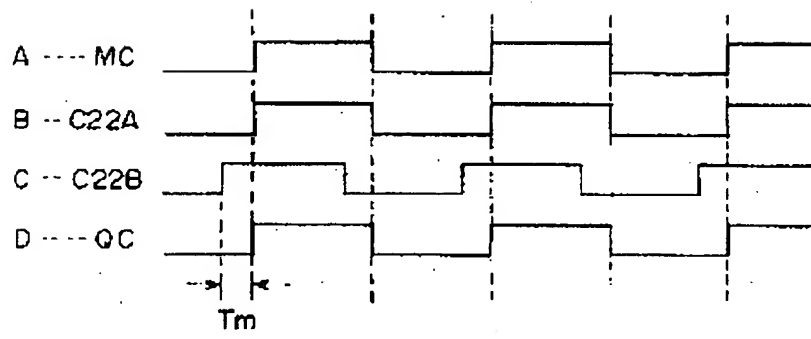
도면 19



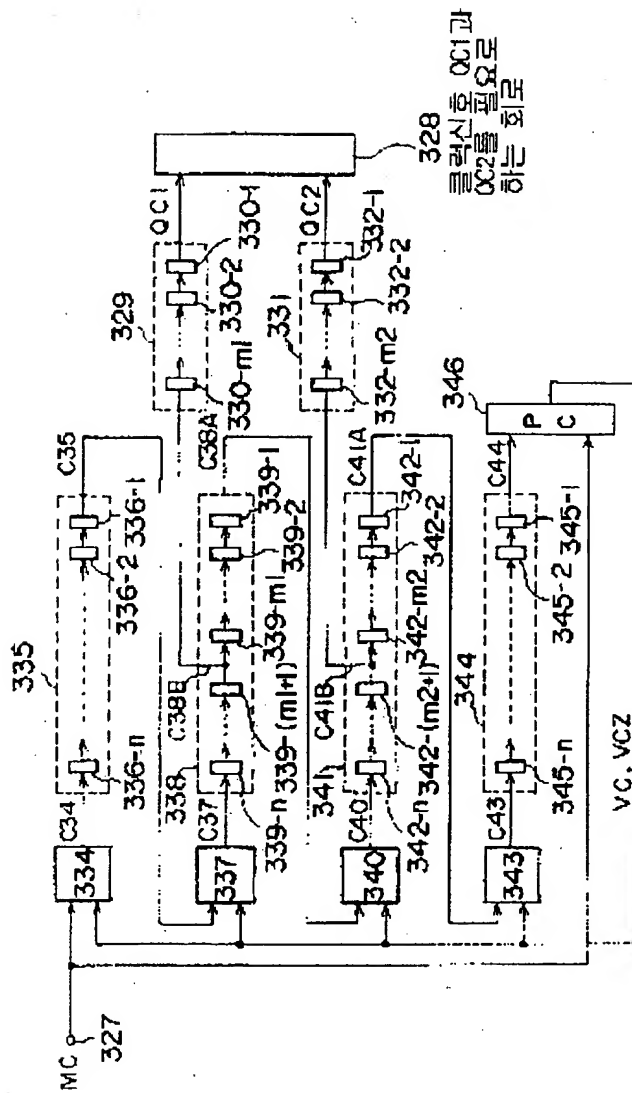
도면 20



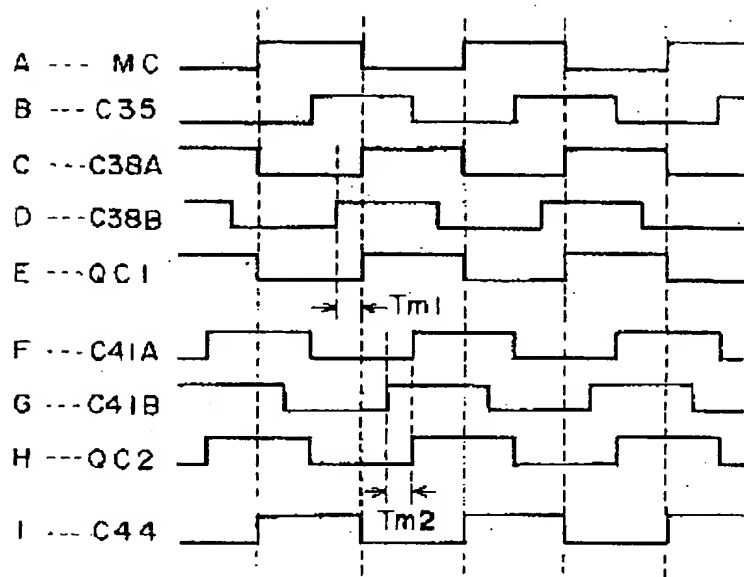
도 21



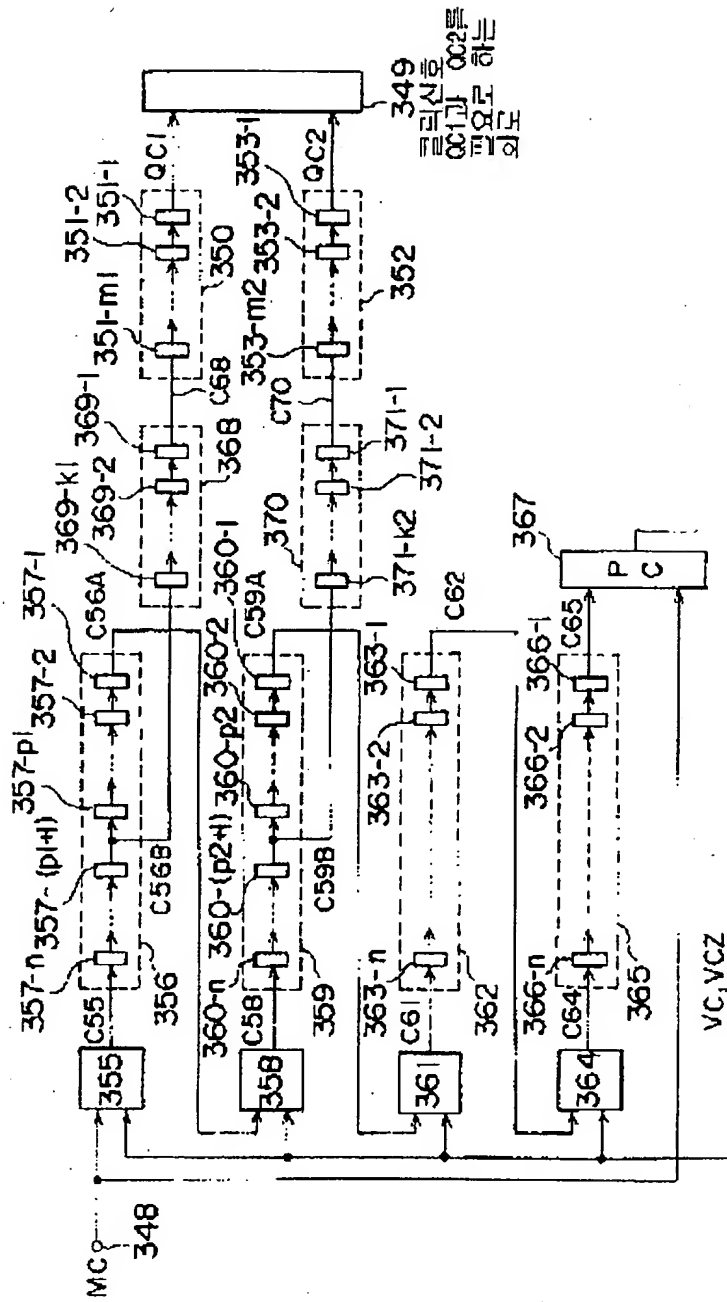
도 22



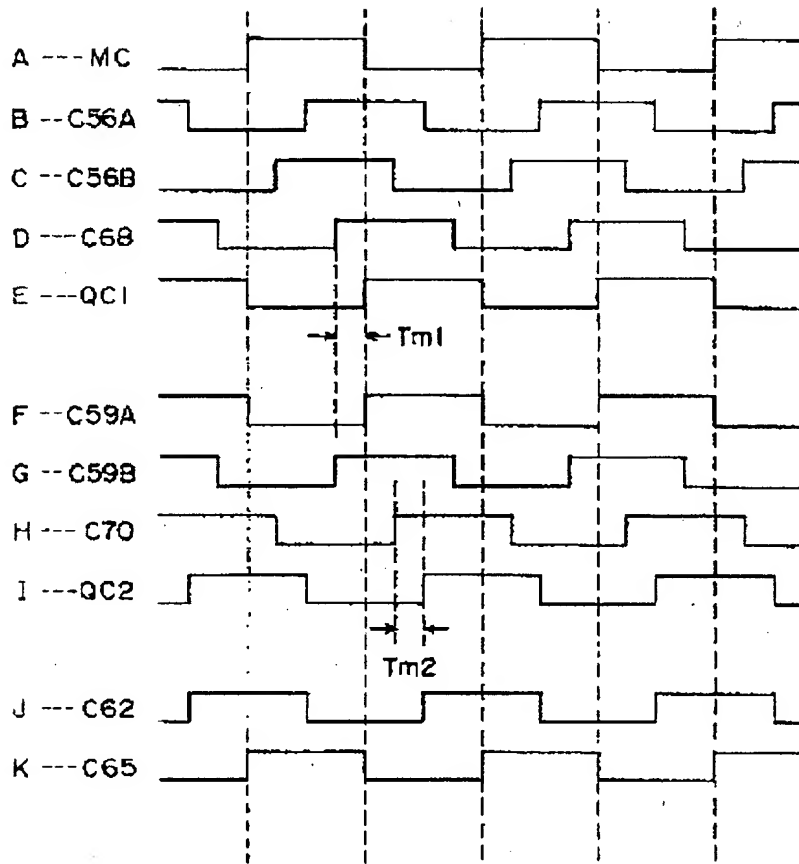
도 23



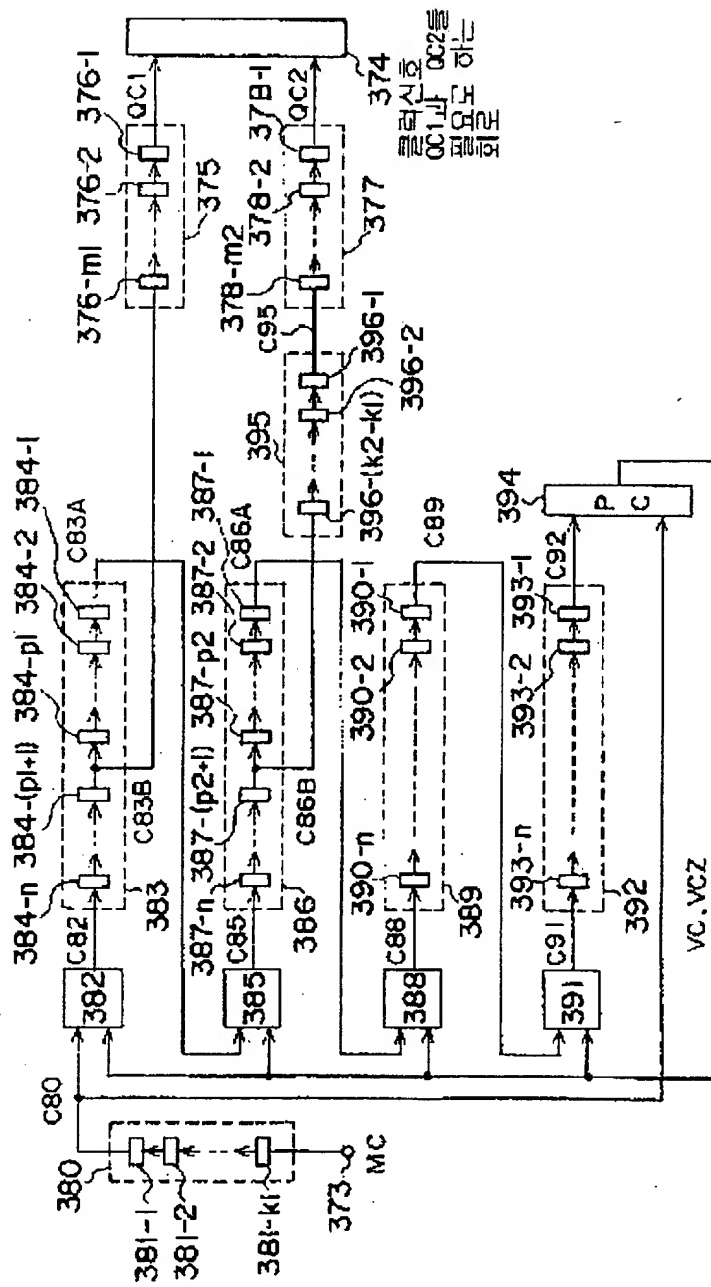
도 25



도 25

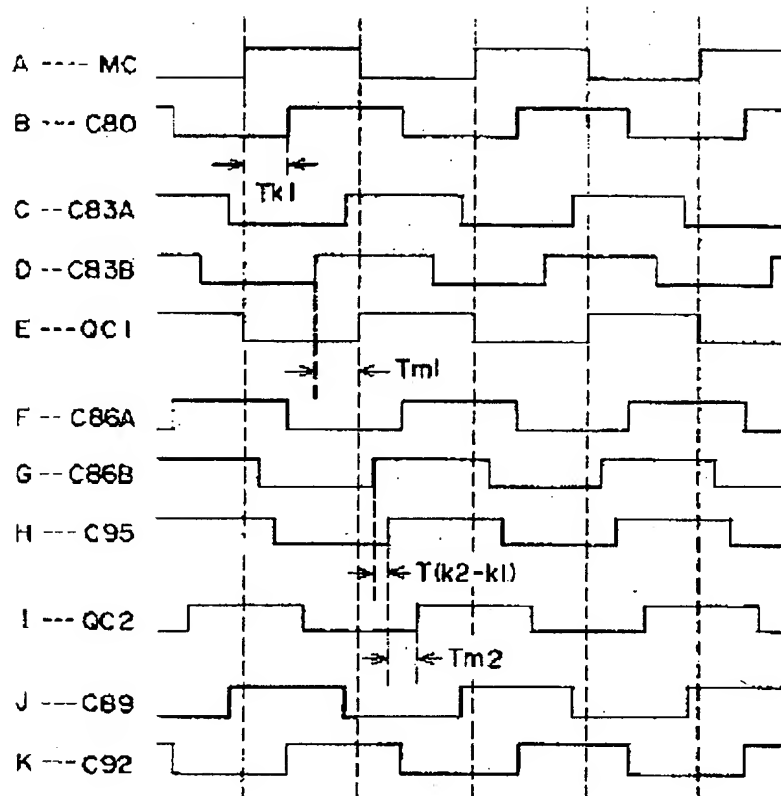


도 7A

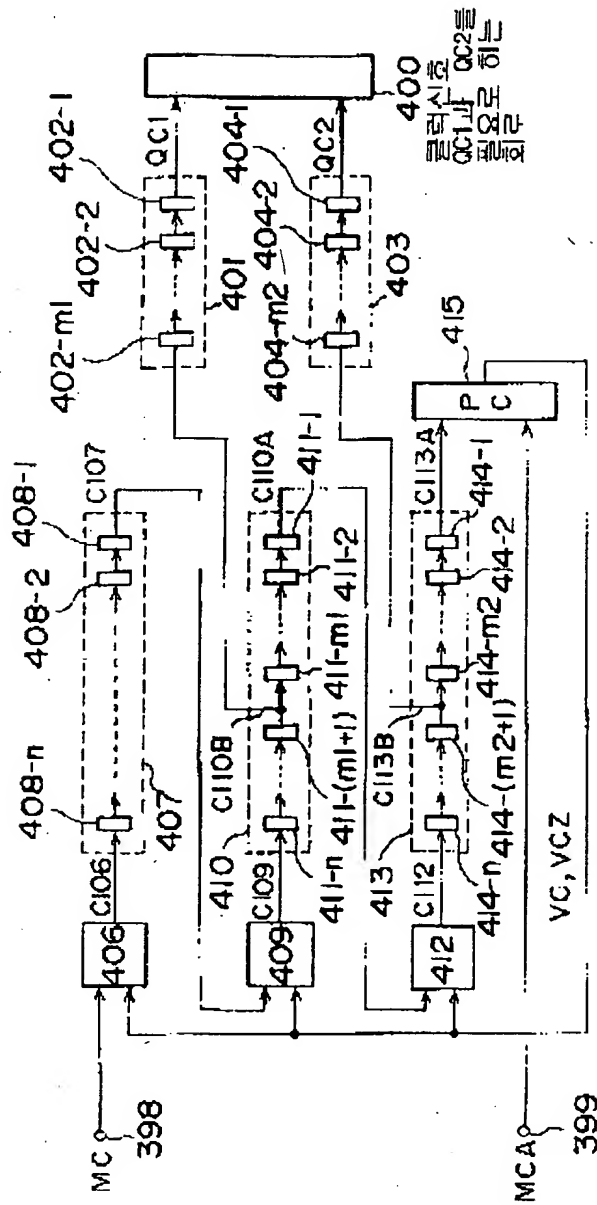




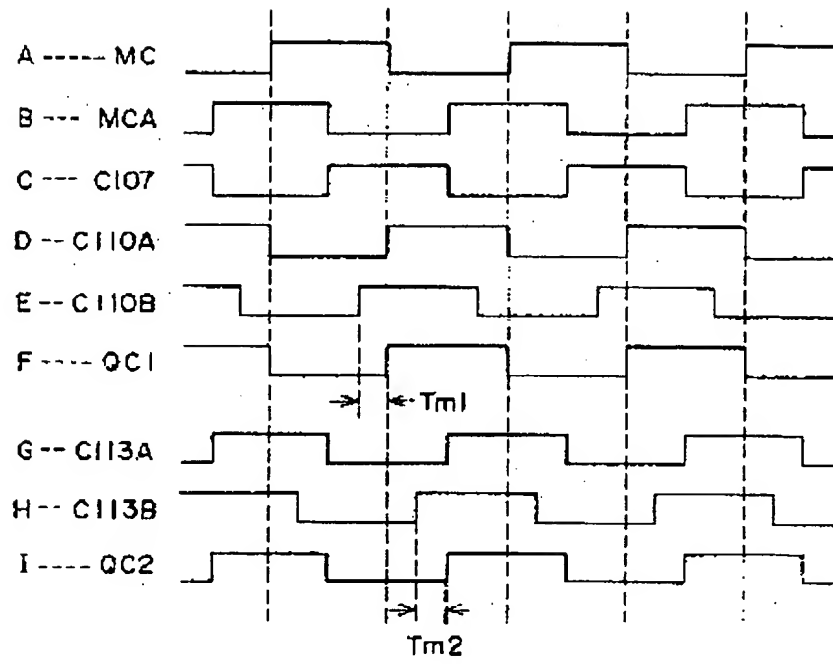
도 27



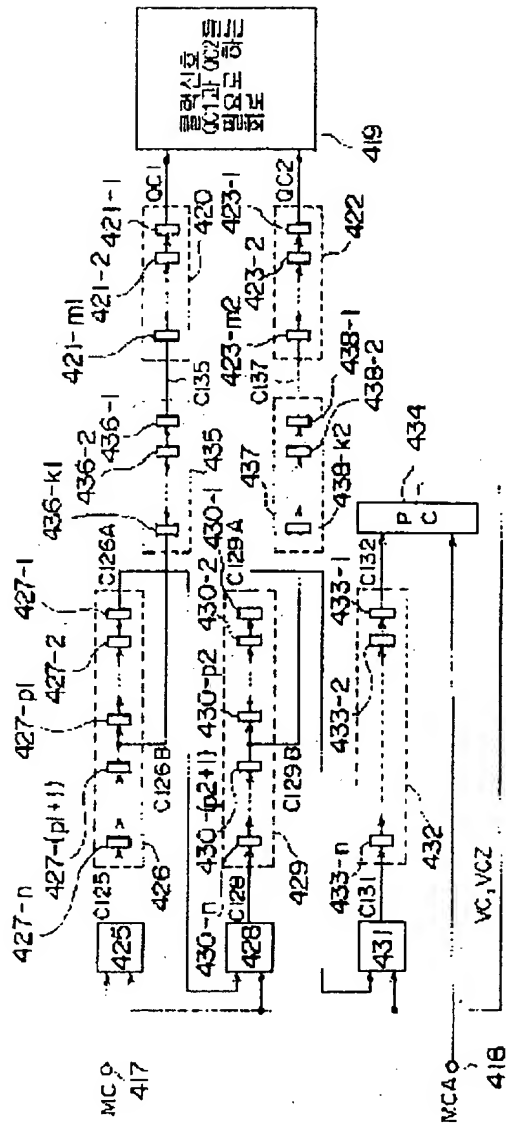
도 28



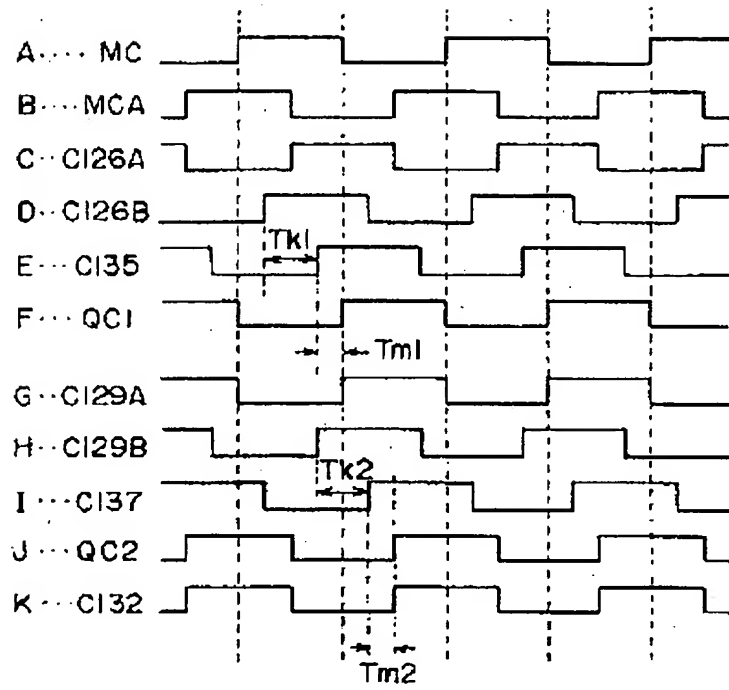
도 20



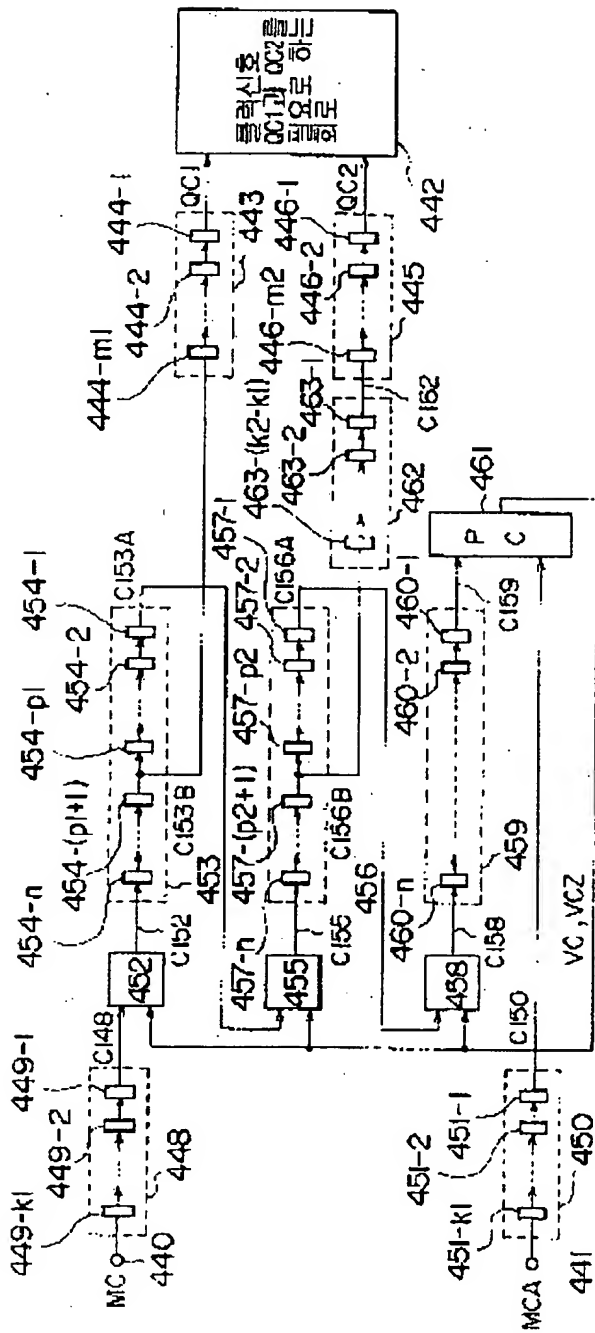
도 30



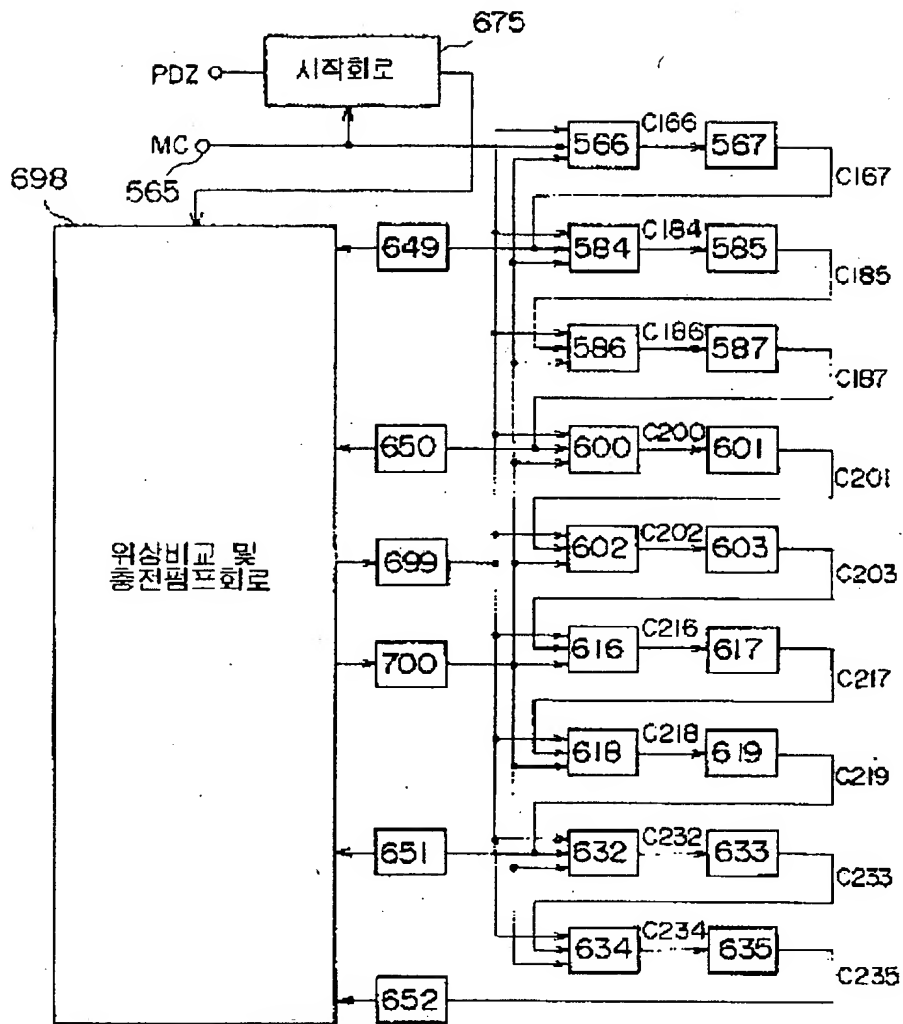
도 31



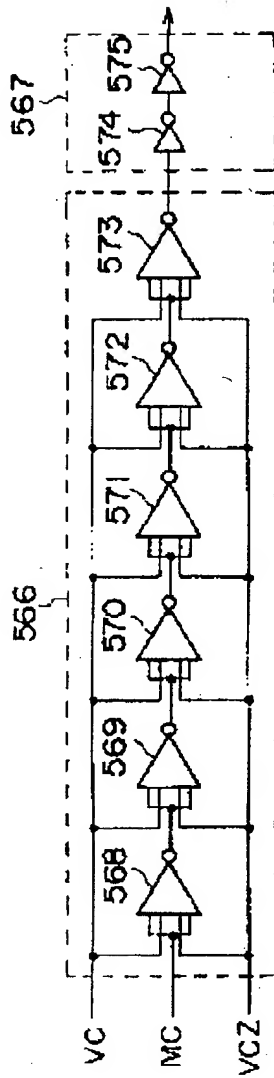
도 32



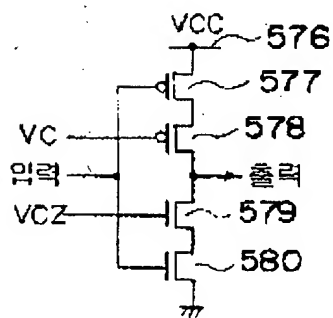
도면34



도 35

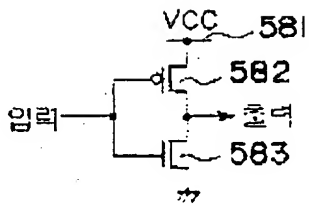


도 36

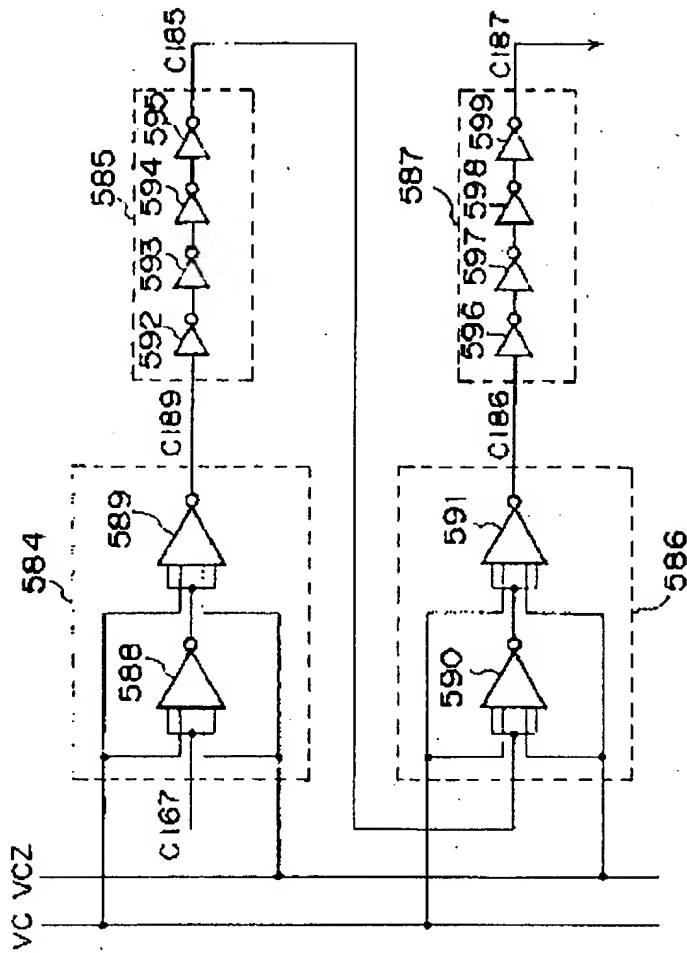




도 37



도 38



도 39

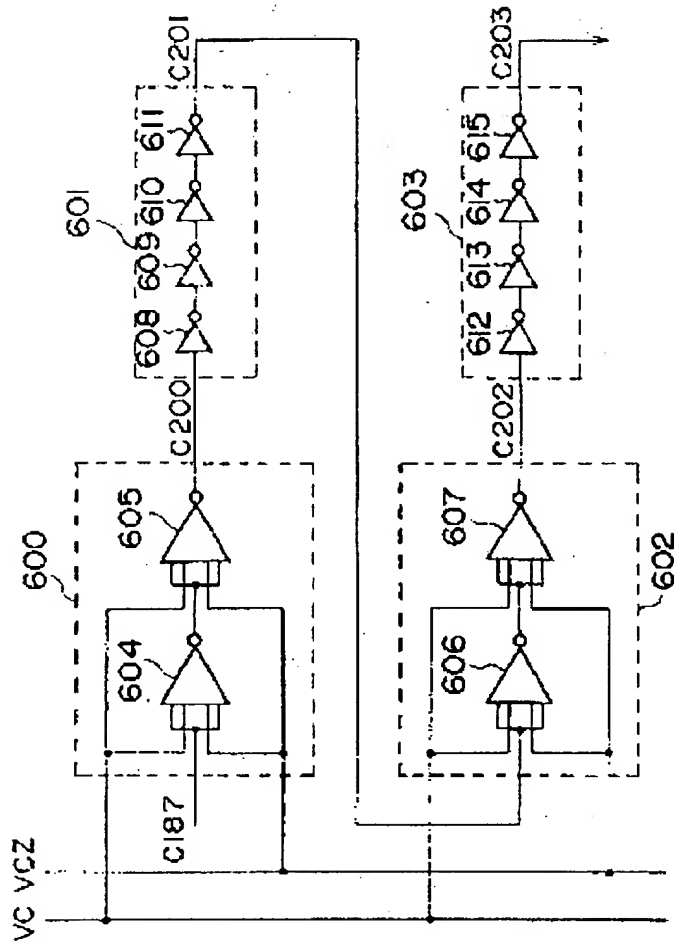
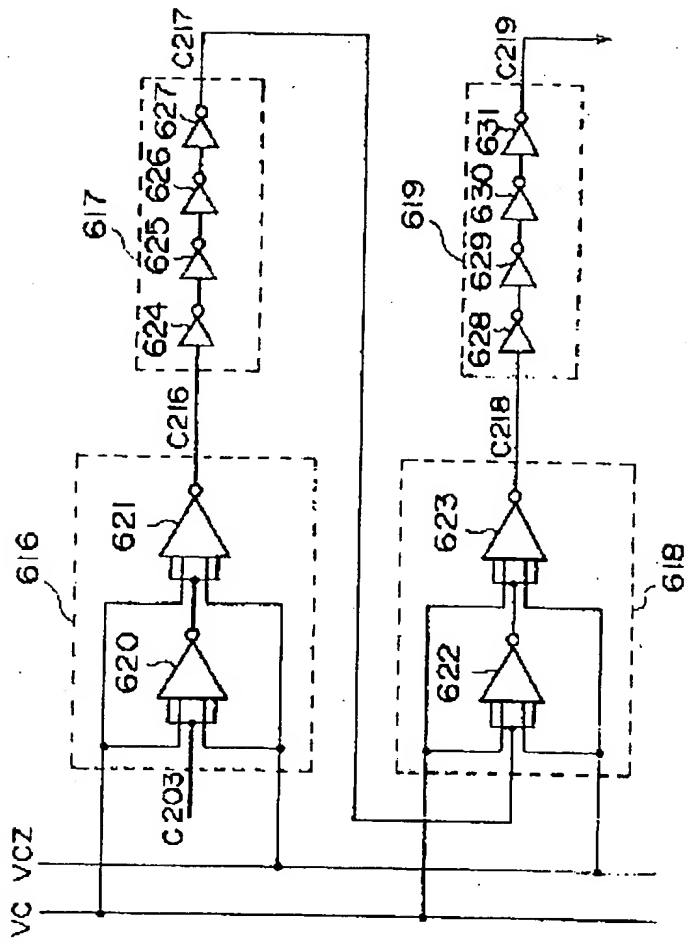
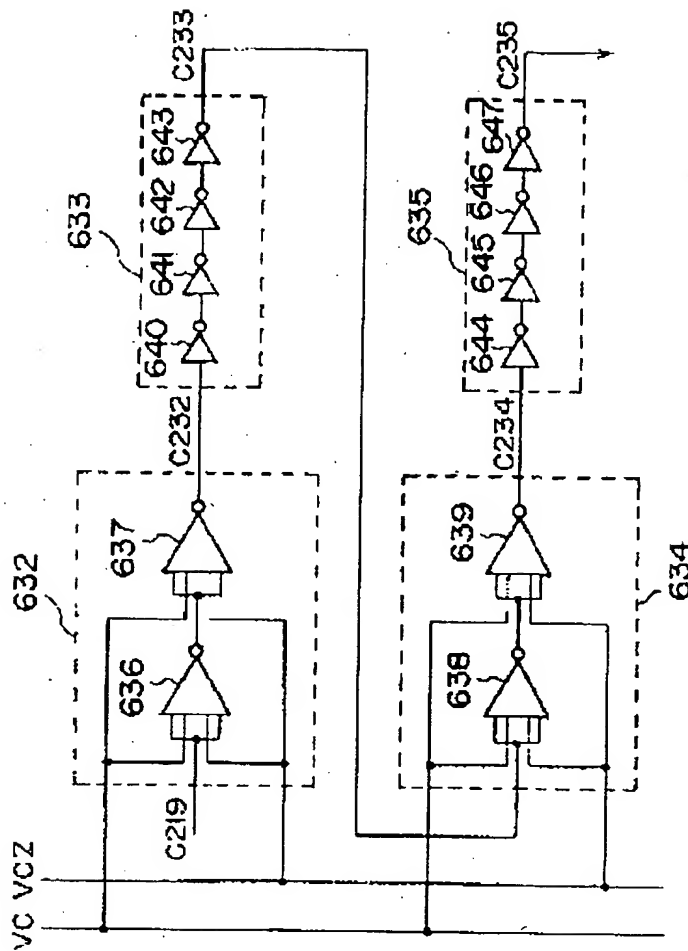


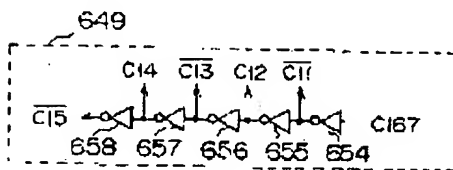
FIG. 40



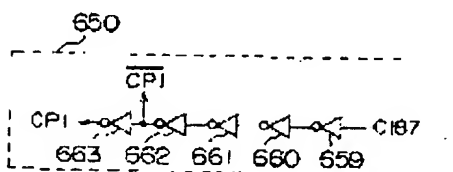
5P41



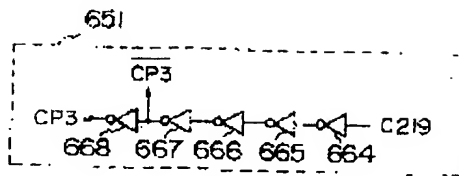
5. 21428



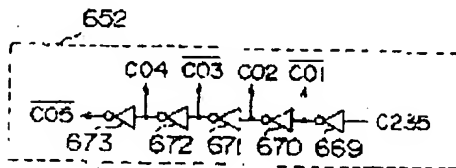
50426



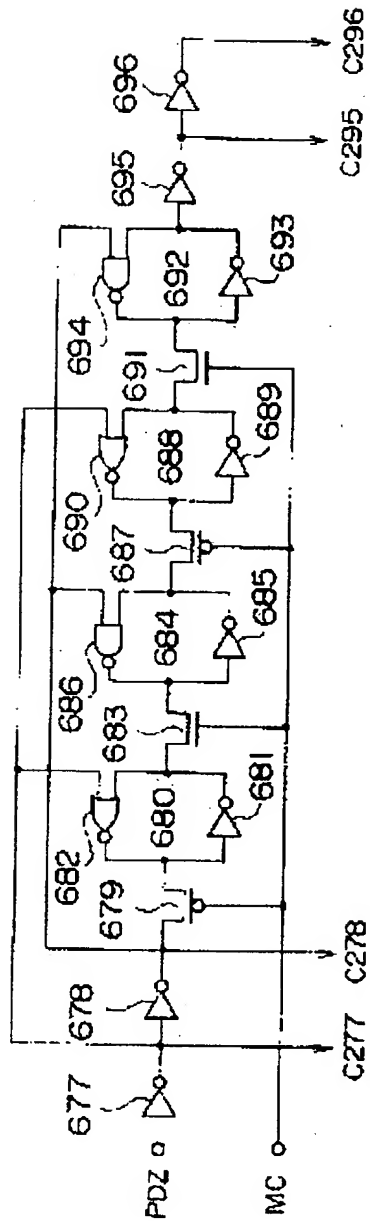
도 42a



도 42b

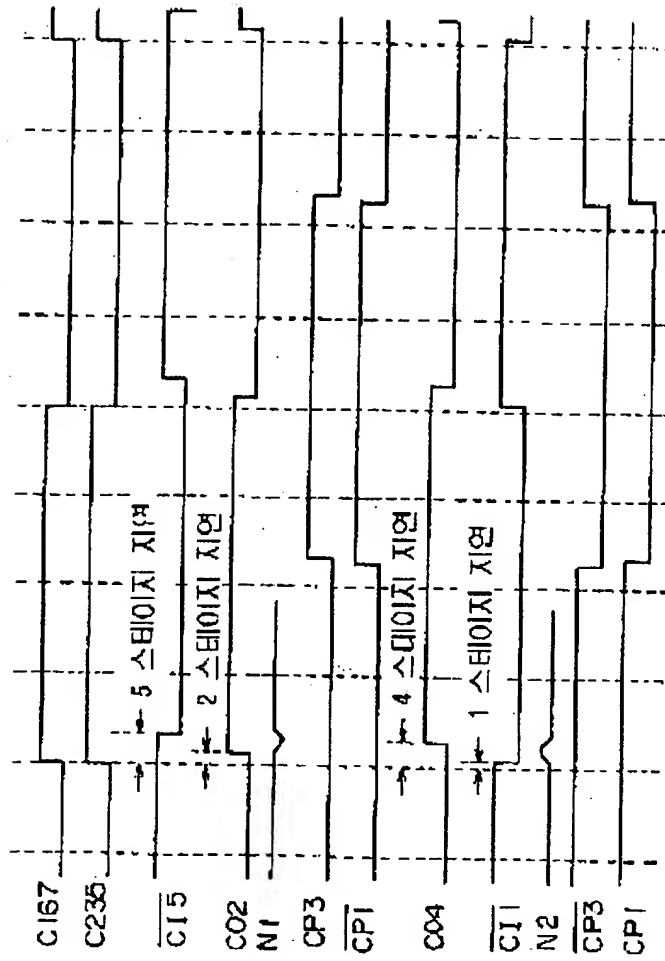


EP43



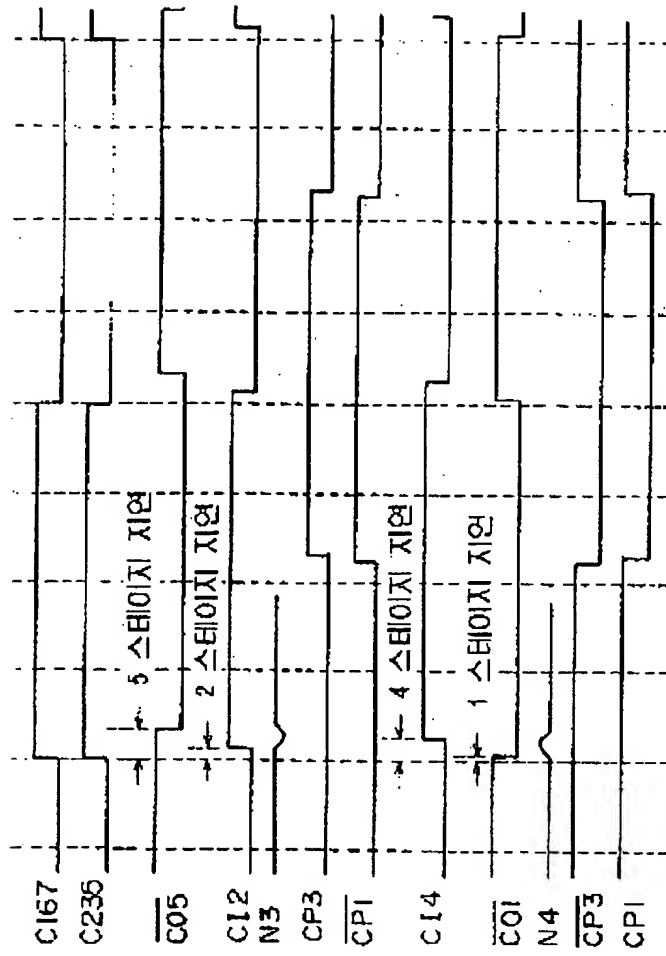


도 45

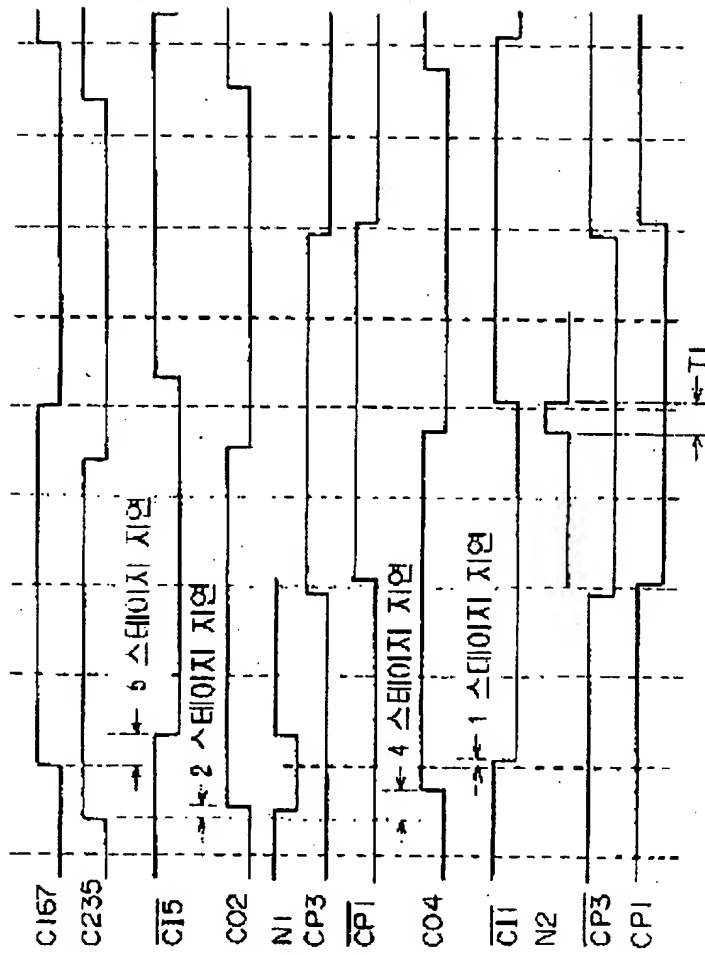




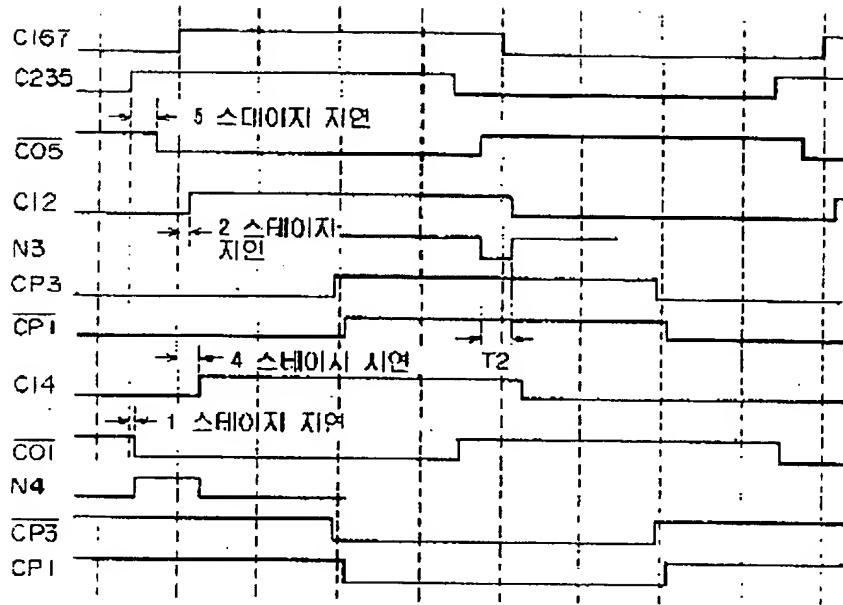
도 40



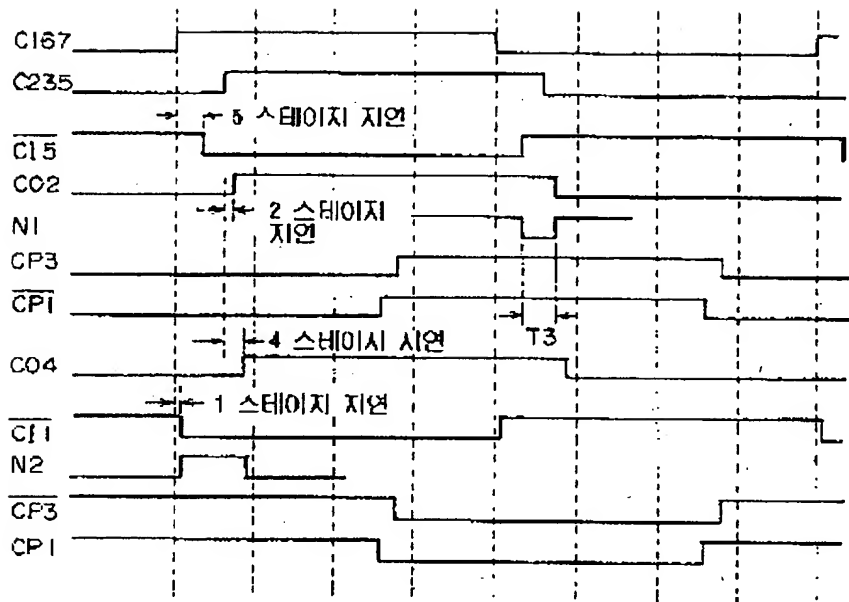
도면 5



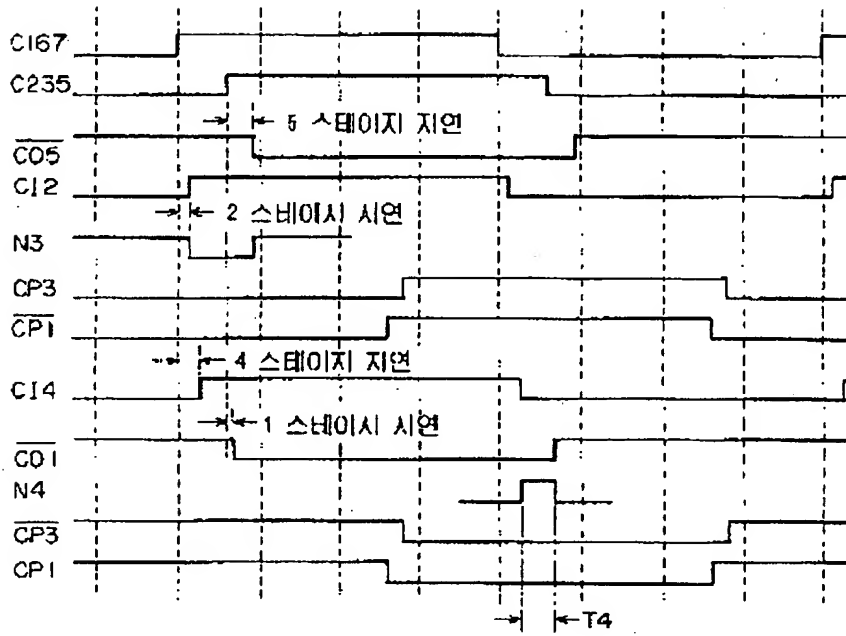
도면 48



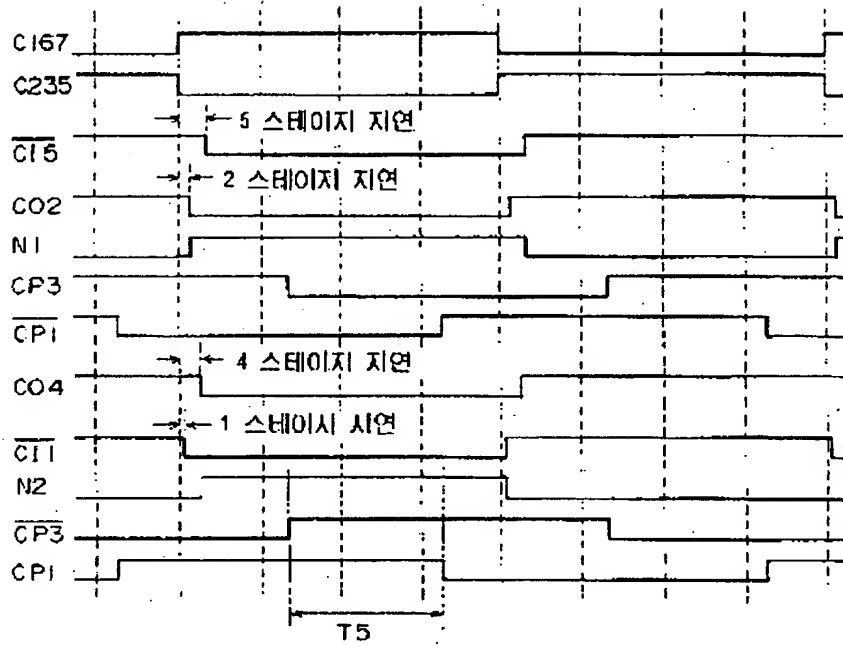
도면 49



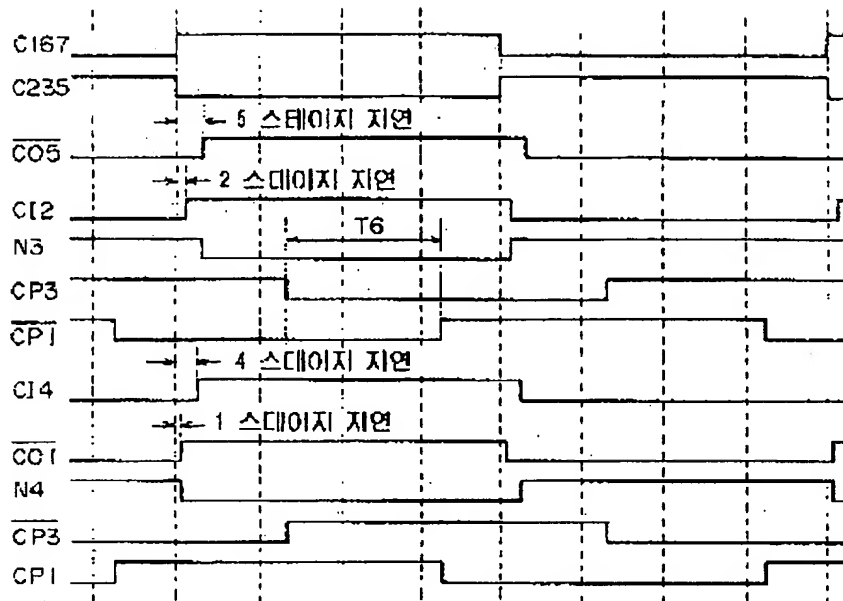
도면50



도면 51



도면 52



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**